

通嘉 LD7597 系列 PFC 控制器，打造高效率、低谐波电源设计

作者: 通嘉 FAE 郭龙剑/SE 郑瑞志

引言

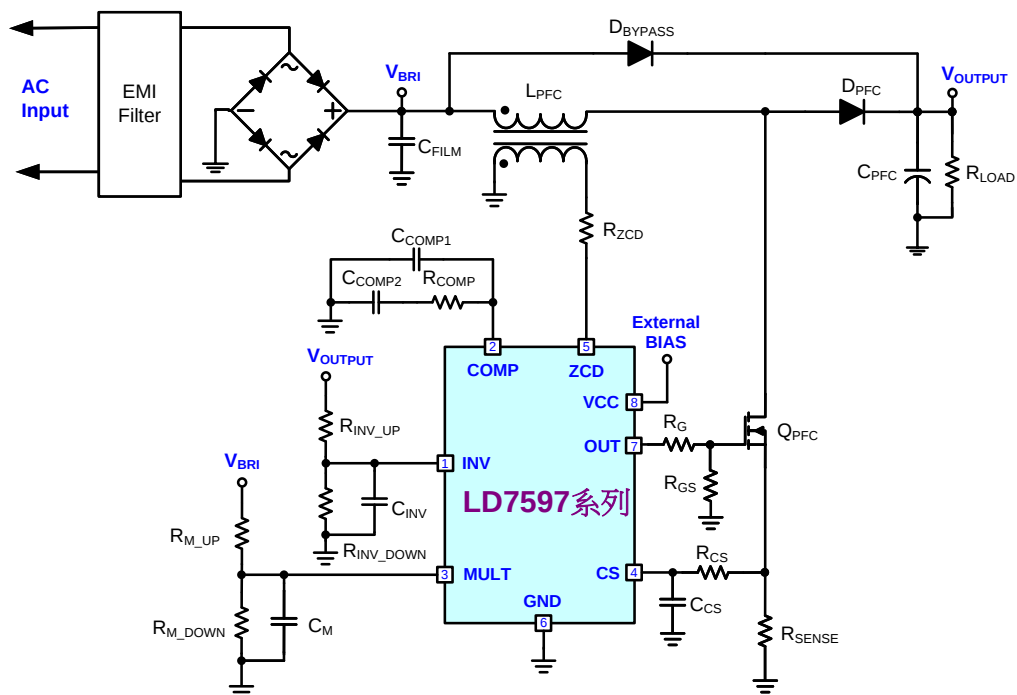
随着中大功率电源应用广泛，功率因数与谐波电流问题也越来越引起人们的重视，主要是低 PF（如 <0.5 ）会导致大量无功电流，增加线路损耗、变压器负担和配电容量需求，而高 THDi（如 $>100\%$ ）会污染电网，干扰其他设备运行，甚至引发中性线过热、火灾风险等。其中更是在智能调光 LED 照明的应用场合，欧盟发布的谐波电流发射标准 EN IEC 61000-3-2:2019, 欧洲电工标准化委员会（CEN/LEC）网站最新信息，改版於 2022 年 3 月 1 日替代目前使用的版本 IEC 61000-3-2:2014。与旧版标准相比，主要是於照明设备要求有较大差异变化，如下：

- 更新额定功率 $\leq 25W$ 的照明设备的谐波电流发射限值，以考虑新型照明设备
- 增加 5W 分界线，照明设备小于 5W 无谐波电流发射限值

中国等效采用 IEC 标准（GB 17625.1），并结合《建筑电气工程设计标准》等，要求商业/工业照明 $PF \geq 0.9$ ，部分工程甚至要求 ≥ 0.95 ，否则无法通过验收，同时国家发改委、市场监管总局 2026 年 5 月发布新规，室内照明用 LED 产品自 2027 年 9 月起强制实施能效标识，PF 和 THDi 成为关键考核指标。

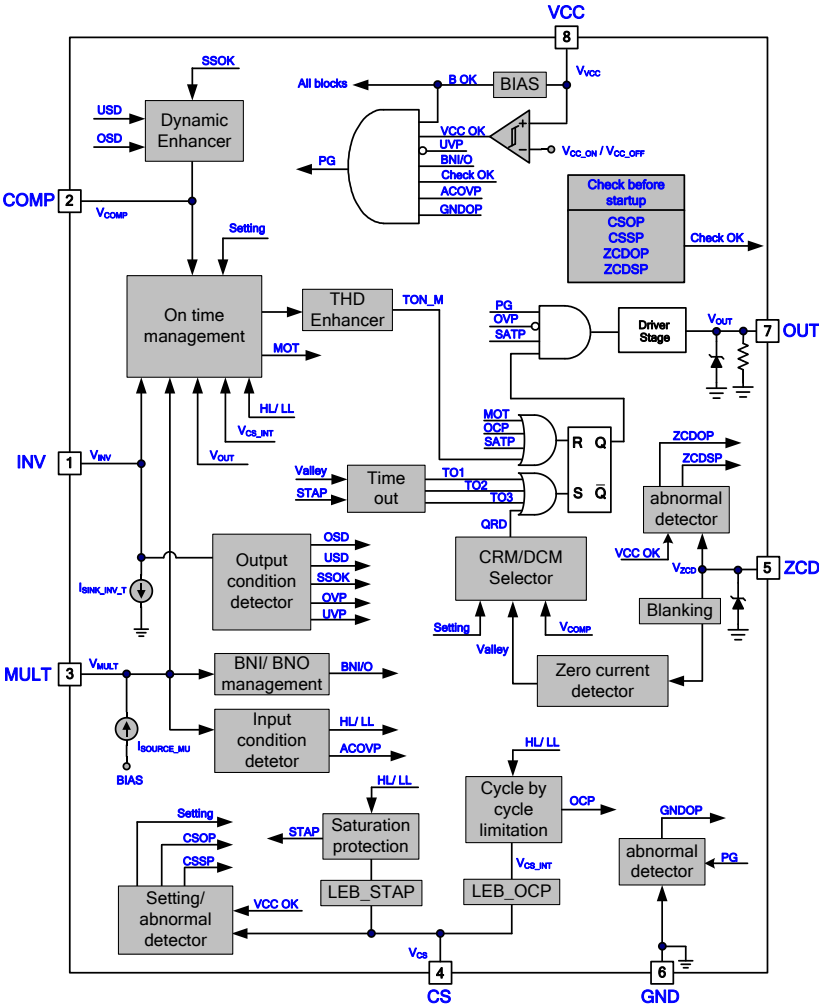
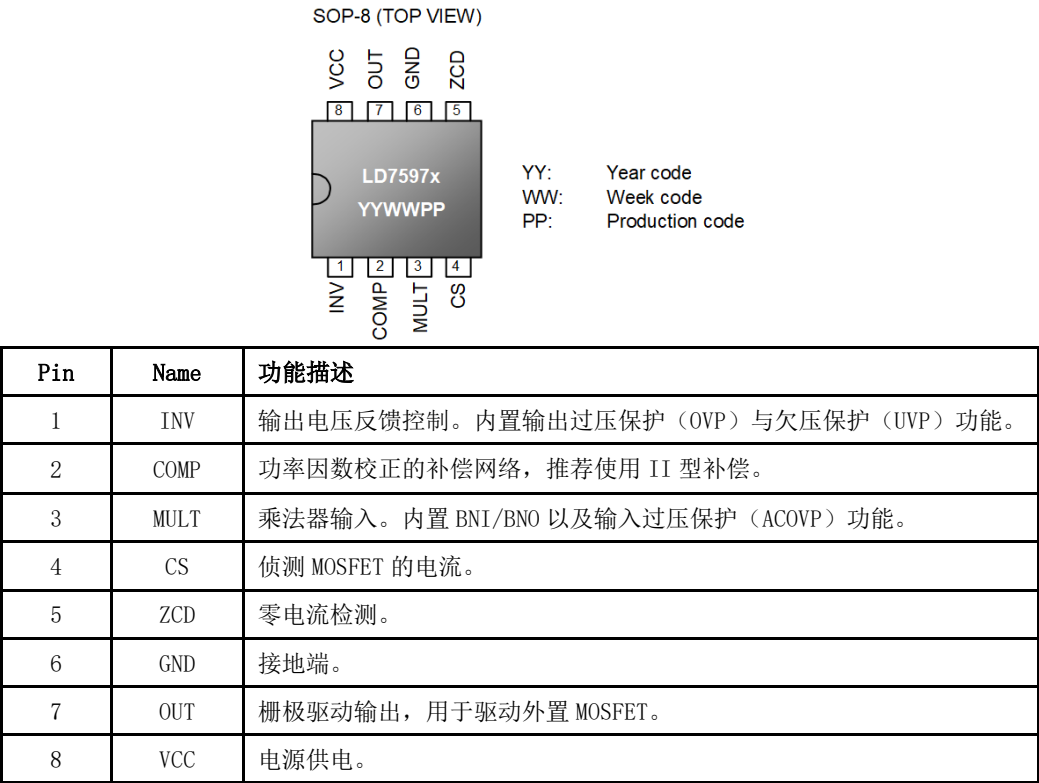
通嘉的 LD7597 系列是一款高性能、临界导通模式(TM)的 PFC（功率因数校正）升压控制器，以其出色的总谐波失真(THD)优化技术和全面的保护功能著称，非常适合对电源质量和效率有严格要求的应用、特别是 LED 照明驱动和离线电源设备。核心特性与优势主要体现在以下几个方面：

- 卓越的输入电流总谐波(THDi)与能效性能：采通嘉专利电流谐波优化技术，在半载（230VAC 50% load）测试下，功率因数(PF)可高于 0.95，THDi 低于 10%，效率高达 96.5% 以上^(Note 通過 EMI 及 Surge 標準要求下)。
- 直接驱动碳化硅(SiC)：LD7597CA/CB 可直驱碳化硅 MOSFET，实测芯片功耗减少约 30%，系统效率提升约 0.7%，组件表面温度降低约 10℃，适合中大功率高密度设计。
- 自适应智能混合工作模式：重载时以 CrM 模式在变频状态工作，轻载时强制进入 DCM 跳波谷模式以降低开关损耗，提高效率。
- 可变导通时间 (VOT)：内置可变导通时间 (VOT) 的加强型 THDi 补偿器，有效降低输入电流谐波(THDi)及提升功率因数(PF)。
- 全方位安全防护：支持 AC 过欠压、过流 OCP、过温 OTP、短路、GND 开路保护等、同时具备 CS 引脚短路/开路、ZC 引脚开路/短路等故障监测能力，不允许非正常状态下启动 IC，防止系统损坏。



图一 典型应用

引脚定义与功能框图



图二 内部原理框图

电流模式控制与总谐波失真（THDi）补偿

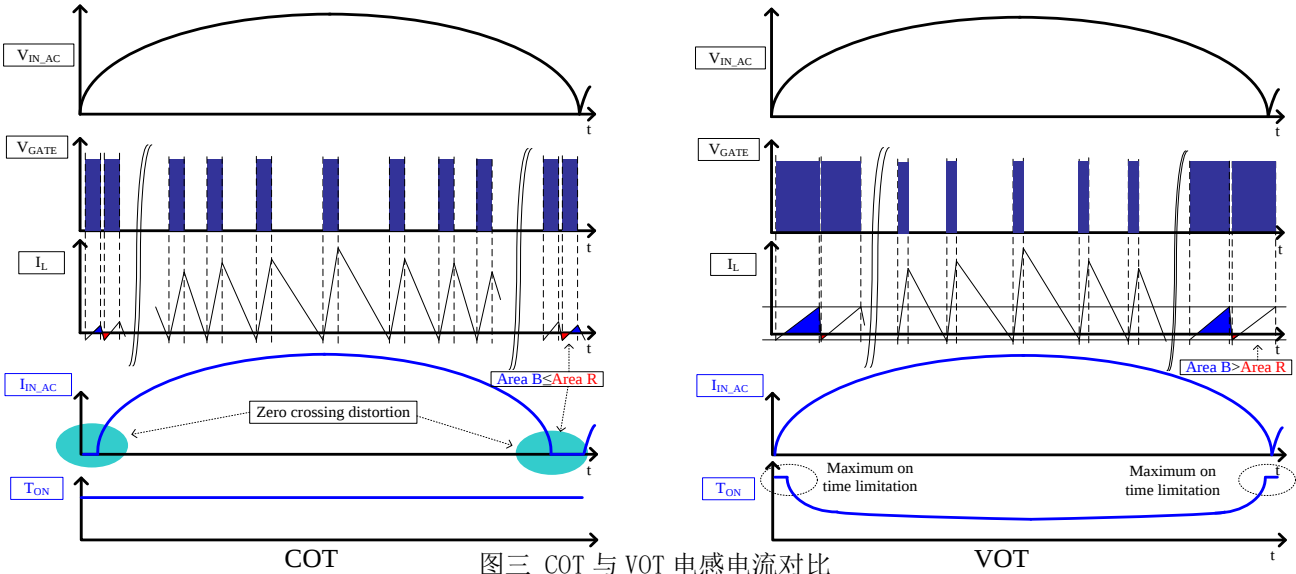
- LD7597 系列芯片是一款电流模式控制功率因数校正（PFC）控制器。与传统电流模式 PFC 控制器的不同之处在于误差放大器：该器件采用跨导放大器替代运算放大器。此举拓宽了 COMP 引脚的可用工作范围，非常适配 LED 照明应用场景。
- 正常工作于临界导通模式时（COT），谷值开关会产生电感负向电流。当交流输入电压处于 0° /180° 相位点时，若电感负向电流大于或等于电感充电电流，就会产生零电流交越失真，从而导致总谐波失真（THDi）升高；如果在交流输入电压接近 0° /180° 过零点时，平缓增加导通时间，即可改善过零点失真问题。（参考图三）
- 根据功能框图四并忽略总谐波失真（THDi）增强器，可得到以下公式：

$$VCS_REF \approx V_MULTIPLIER \approx V_MULT * (V_COMP - V_A) * KGMULT_XL$$

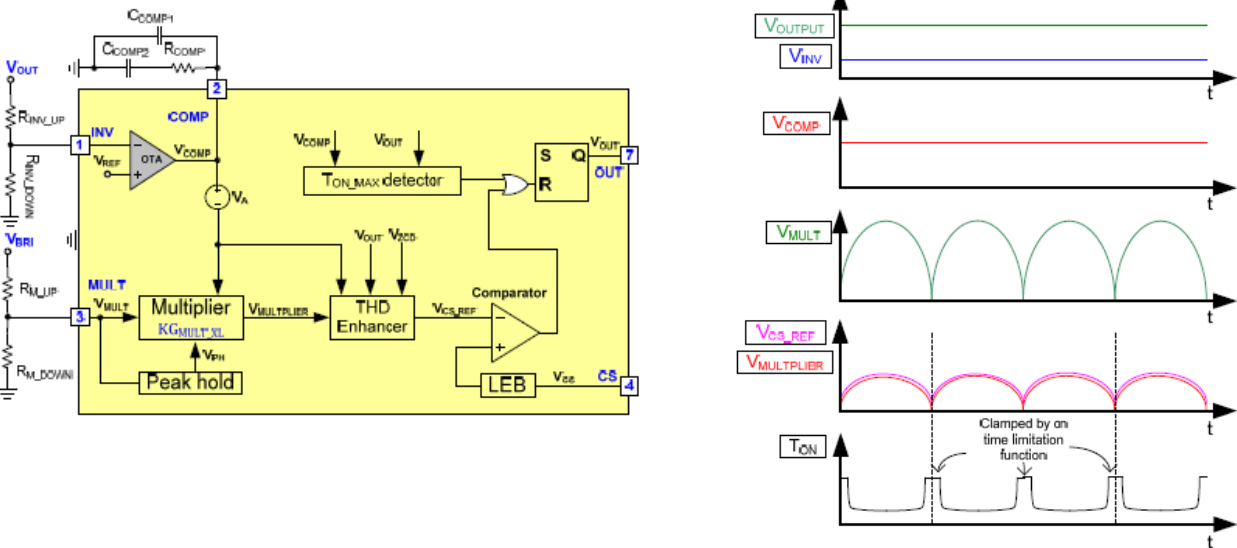
- 其中：KGMULT_XL 是乘法器增益，若为低压输入，KGMULT_XL=0.3(典型值)；若为高压输入，KGMULT_XL=0.09(典型值)。V_A=0.5V(典型值)。再搭配内置 THDi 补偿电路，可对导通时间(Ton)进行优化调校，以此实现高功率因数（PF）与低总谐波失真（THDi）的性能目标。
- 由于 LD7597 采用可变导通时间（VOT）工作方式，在输入交流电压过零点附近，MOSFET 的导通占空比会接近 100%。这会产生尖峰电流，进而造成电流畸变。因此，需要额外增加一套由补偿电压 VCOMP 控制的导通时间限制功能，相关计算公式如下：

$$T_{ON_MAX} = \left(6.311 \frac{\mu s}{V} \times V_{COMP}\right) + 1.6 \mu s$$

- 根据如上公式：当 VCOMP=4.5V 时，最大导通时间为 30us（典型值），当 VCOMP=0.55V 时，最大导通时间为 5us（典型值）。



图三 COT 与 VOT 电感电流对比

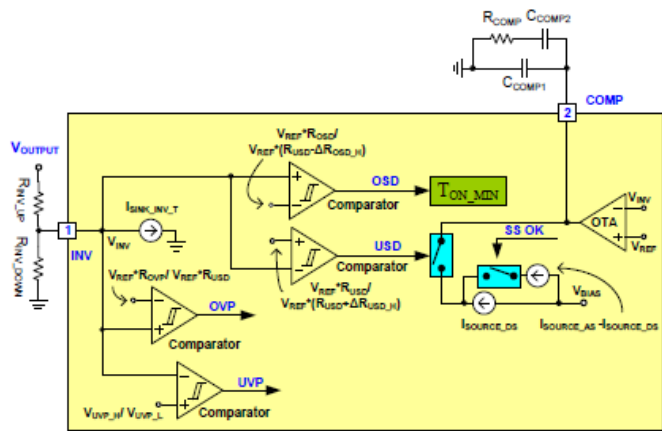


图四 LD7597 THD 补偿功能框图

INV 脚位功能描述

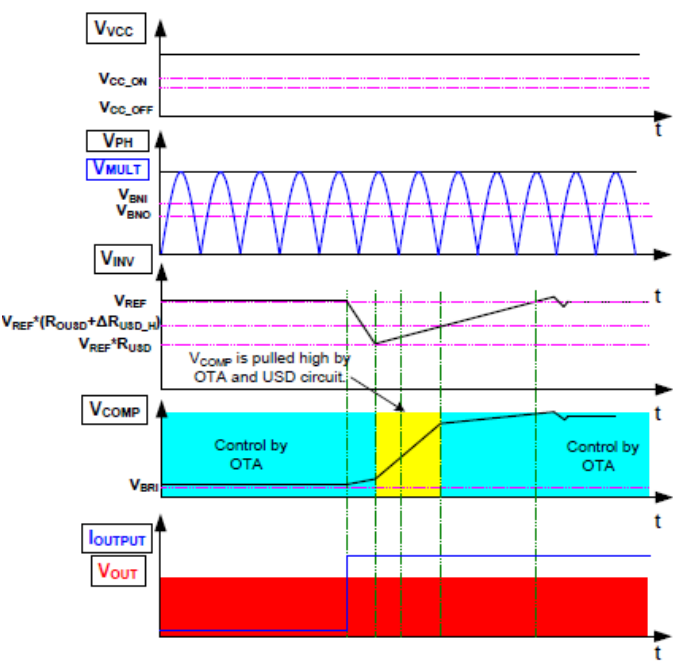
- 输出电压通过 INV 脚位设定，输出电压计算公式如下：其中基准电压 VREF 典型值为 2.5V。

$$V_{\text{OUTPUT}} = V_{\text{REF}} \times \frac{R_{\text{INV_DOWN}} + R_{\text{INV_UP}}}{R_{\text{INV_DOWN}}}$$

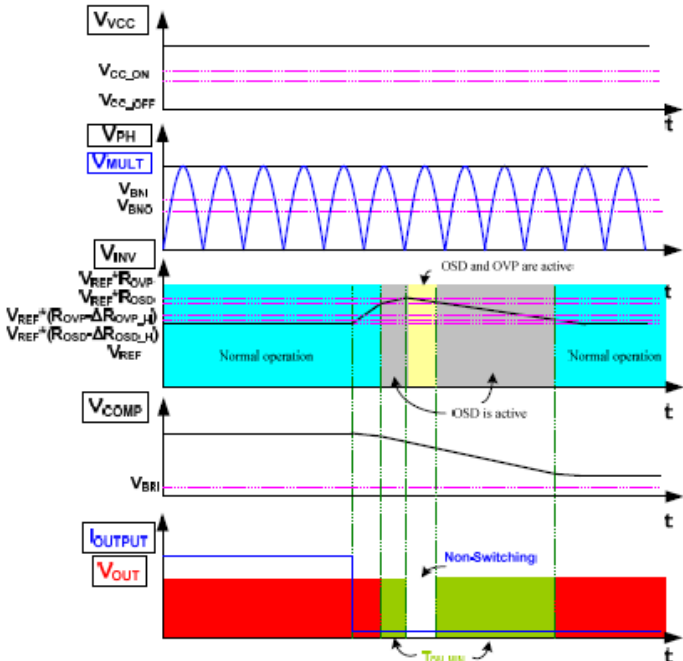


图五 INV 脚位功能框图

- USD/OSD 动态补偿功能：
 - 当负载从轻载切换为重载时，输出电压会出现跌落。一旦反馈电压 $V_{\text{INV}} \leq V_{\text{REF}} \cdot R_{\text{USD}}$ ，下冲检测电路（USD）被激活，并输出恒定电流（ I_{SOURCE} 典型值 $220 \mu\text{A}$ ），将补偿引脚电压 V_{COMP} 拉高，当 $V_{\text{INV}} \geq V_{\text{REF}} \cdot (R_{\text{USD}} + \Delta R_{\text{USD_H}})$ 后，USD 电路关闭。（参考图六）
 - 当负载从重载切换为轻载时，输出电压会出现过冲。一旦反馈电压 $V_{\text{INV}} \geq V_{\text{REF}} \cdot R_{\text{OSD}}$ ，过冲检测电路（OSD）被激活，此时开关管导通时间 T_{ON} 被强制设为最小值，以此抑制输出电压继续抬升，该限制动作会一直持续，直到 $V_{\text{INV}} \leq V_{\text{REF}} \cdot (R_{\text{OSD}} - \Delta R_{\text{OSD_H}})$ 后，OSD 电路关闭。（参考图七）

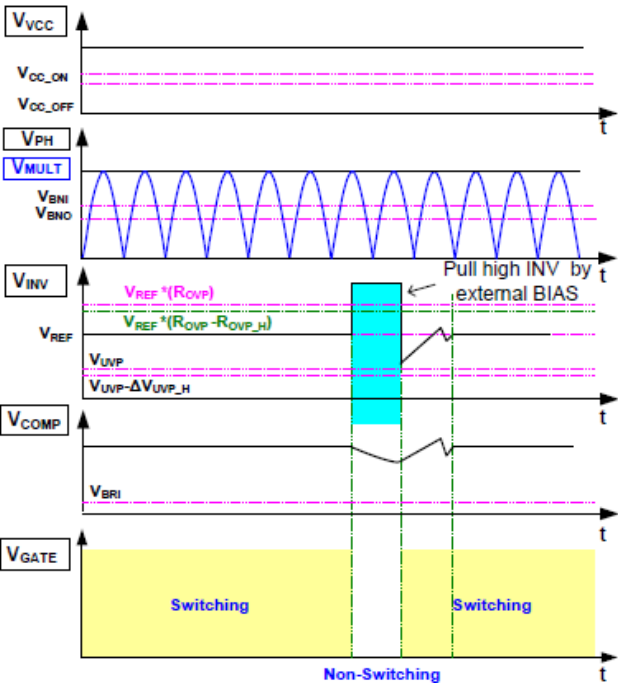


图六 USD 触发波形

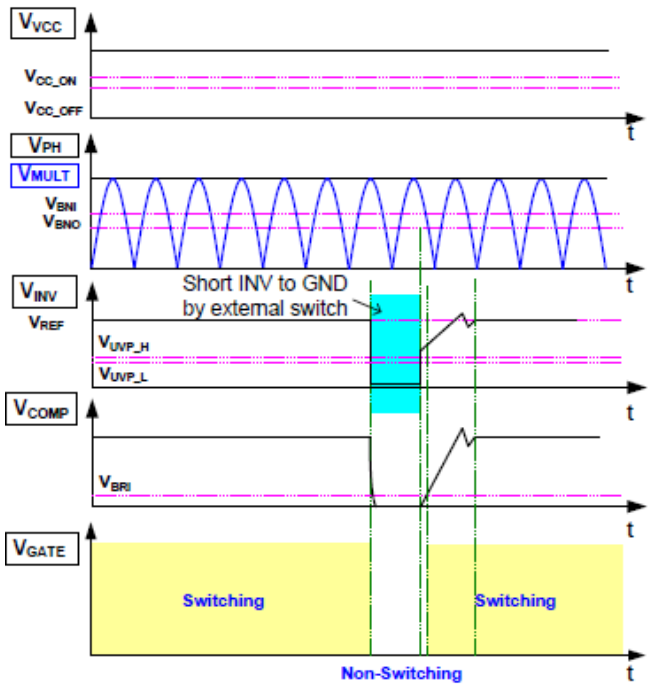


图七 OSD 触发波形

- 过压（OVP）/欠压（UVP）保护功能：
 - 如果 $V_{INV} \geq V_{REF} * R_{OVP}$ ，过压保护（OVP）触发，LD7597 会立刻关断驱动直到 $V_{INV} \leq V_{REF} * R_{OSD}$ ，在触发 OVP 时，VCOMP 电压会被内部 OTA 电路拉低。（参考图八）
 - 当芯片 VCC 供电完成初始化（VCC OK）之后，若 INV 引脚电压 V_{INV} 低于欠压保护下限阈值 V_{UVP_L} （典型值 0.2V），欠压保护（UVP）触发。此时 LD7597 会立刻关断驱动，直到 V_{INV} 回升至超过欠压保护上限阈值 V_{UVP_H} （典型值 0.45V），保护状态才会解除。（参考图九）



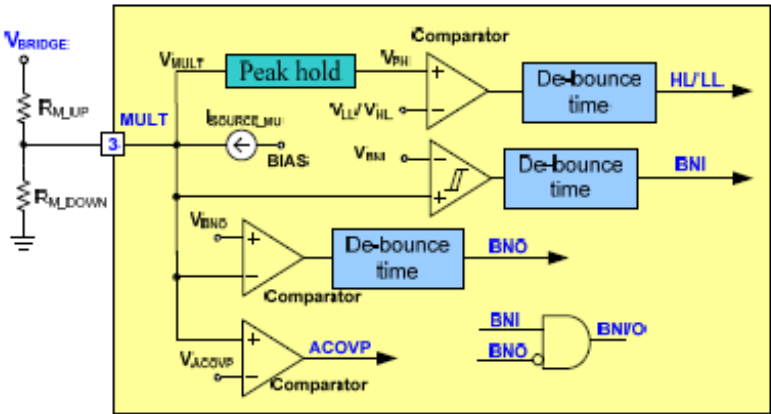
图八 USD 触发波形



图九 OSD 触发波形

MULT 脚位功能描述

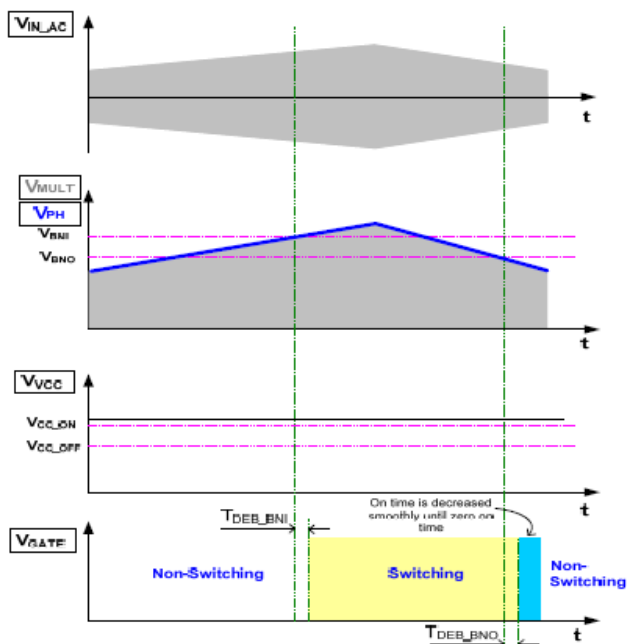
- LD7597 MULT 脚是乘法器输入，在 MULT 脚实现了峰值电压（VPH）保持功能。MULT 脚实时电压用于输入电压检测，包括开启上电/掉电关断（BNI/BNO）检测，高低压分段检测（HL/LL），输入过压保护（AC OVP）。（参考图十）



图十 DCM 工作波形

● BNI/BNO 功能说明:

- 当 V_{MULT} 电压高于 V_{BNI} (典型值 800mV), 且持续时间超过 T_{DEB_BNI} (最大值 3ms) 时, BNI 功能被触发。此时如果其他检测 (ZCD 过零检测、CS 电流检测、UVP 欠压检测) 都通过, LD7597 会进入下一工作阶段, IC 开始正常打驱动。
- 当 V_{MULT} 电压低于 V_{BNO} (典型值 700mV), 且持续时间超过 T_{DEB_BNO} (典型值 60ms) 时, 芯片的导通时间 (T_{on}) 会平滑减小至 0, 以此避免 BNI 被误触发。(参考图十一)



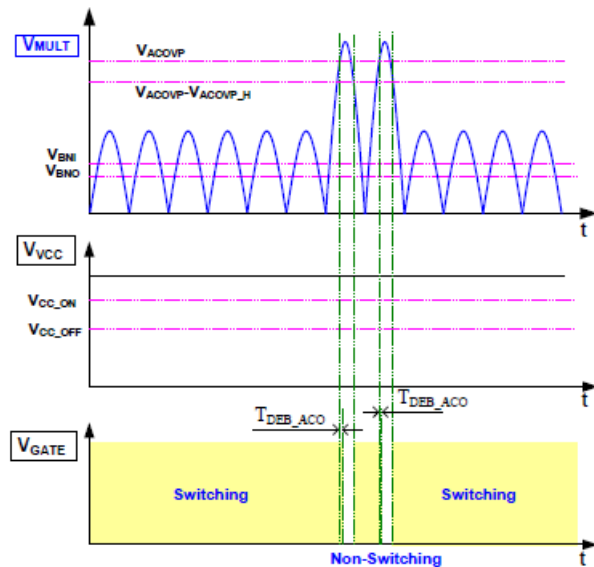
图十一 BNI/BNO 工作波形

● HL/LL 检测说明:

- 若 V_{PH} 电压高于 V_{HL} (典型值 1.65V), 且维持时间达到 1ms (最大值), 将触发高压输入 (HL) 状态, LD7597 会切换为高电压输入对应的核心工作参数。
- 若 V_{PH} 电压低于 V_{LL} (典型值 1.45V), 且维持时间达到 25ms (典型值), 将触发低压输入 (LL) 状态, LD7597 会切换为低电压输入对应的核心工作参数。

● AC OVP 与 MULT 脚开环保护说明:

- 当 $V_{MULT} \geq V_{ACOV}$ (典型值 3.4V), 且持续达到 T_{DEB_ACOV} (典型值 150us) 时, 芯片检测到 AC 过压保护, LD7597 会立即关断驱动, 避免器件损坏; 直到 V_{MULT} 电压降低至 $V_{ACOV} - V_{ACOV_H}$ 以下后, 才解除关断状态。(参考图十二)
- 若 MULT 脚开路, LD7597 内部会输出内置源极电流 (I_{SOURCE_MU} , 典型值 200nA), 主动将 V_{MULT} 电压拉高; 当 V_{MULT} 超过 V_{ACOV} 阈值后, LD7597 会立刻关断驱动以防范损坏, 该关断状态会一直维持, 直到故障排除。



图十二 BNI/BNO 工作波形

CS 脚位功能描述

- LD7597 通过监测 CS 脚电压实现逐周期电流限制功能：经过前沿消隐时间 TLEB_OCP（典型值 350ns）之后，若 CS 引脚电压 VCS 超过阈值电压 V_{OCP_XL}，则触发过流保护（OCP）。芯片会立即关断栅极驱动，直到下一个开关周期重新开启。

	LL (低压)	HL (高压)
V _{OCP_XL}	1.05V (典型值)	0.6V (典型值)

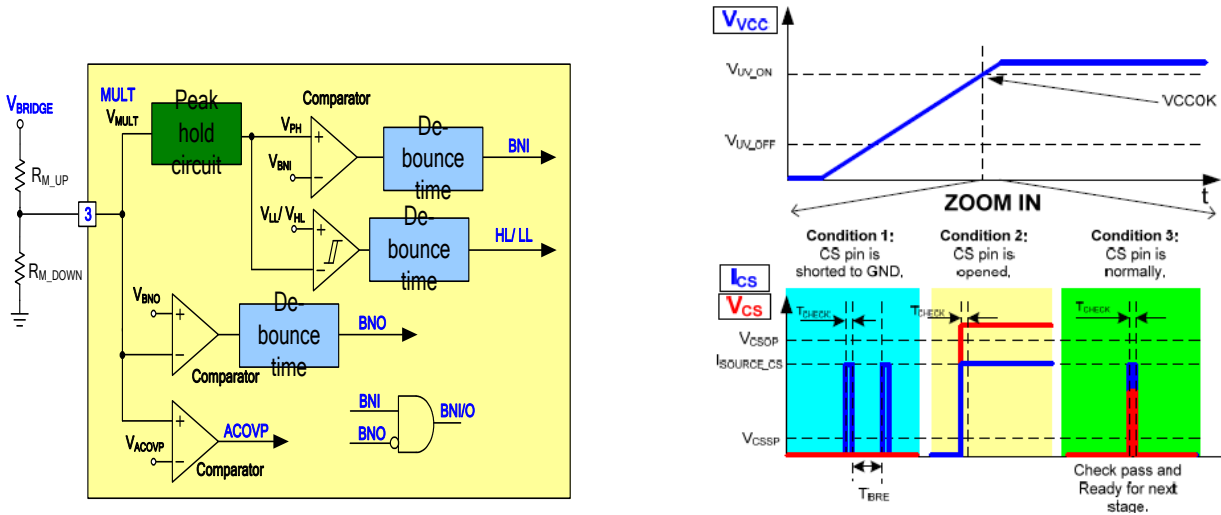
表格 1

- TM/DCM 模式设定：
 - LD7597 可设置的 DCM（断续导通模式）启/停电平，该电平补偿电压（V_{COMP}）决定，并可通过 R_{CS} 电阻进行配置(参考表格 2)，电阻越大，负载较重就进入 DCM 工作，反之负载较轻才进入 DCM，常规推荐设定 150Ω or 330Ω。
 - 在高输入电压+轻载状况下，DCM 模式运行可以通过降低开关频率，使整体效率提升约 2%。

TM/DCM Threshold level (Typical)	R _{CS} =1kΩ	R _{CS} =620Ω	R _{CS} =330Ω	R _{CS} =150Ω
TM to DCM V _{COMP} is falling.(V)	2.350	1.950	1.550	1.150
DCM to TM V _{COMP} is rising.(V)	2.750	2.250	1.750	1.250
Hysteresis(V)	400m	300m	200m	100m

表格 2

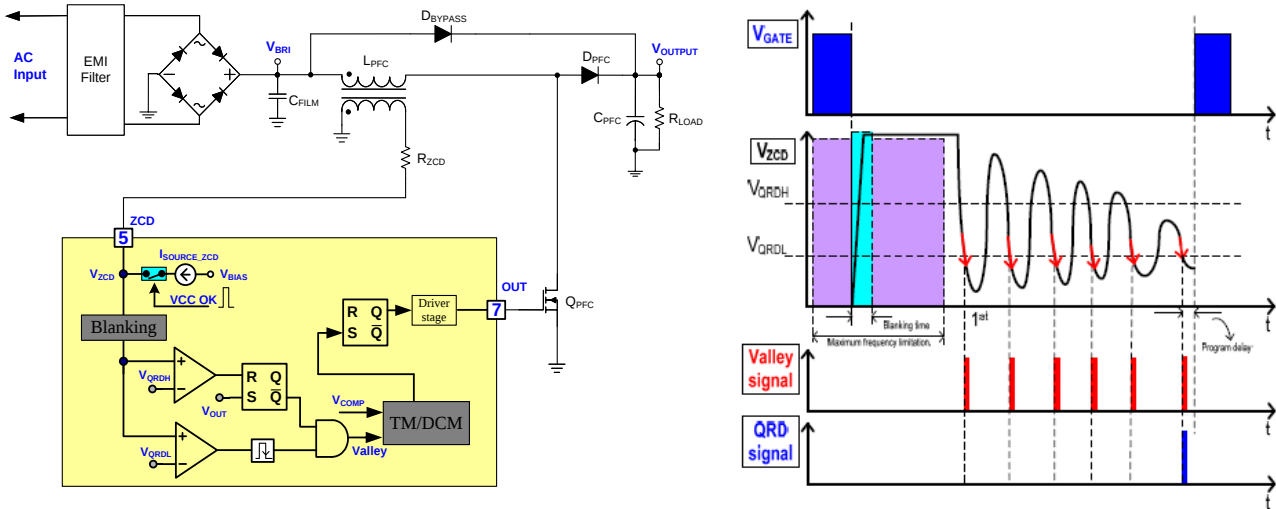
- CS 脚开机检测脚位状态，当 VCC_OK 信号有效（即电源电压 VCC 大于芯片启动阈值电压 VCC_{ON}）之后，LD7597 会提供恒定电流（I_{SOURCE_CS}，典型值 1mA），并检测 CS 脚的电压 VCS，以此判断 CS 引脚是否存在异常状态。（参考图十三）
 - 若满足下限阈值电压 V_{CSSP}（典型值 75mV）<VCS<V_{CSOP}（典型值 2.0V）的上限阈值电压，LD7597 就绪，可进入下一工作阶段。
 - 若 VCS≤V_{CSSP}，触发 CS 短路保护，LD7597 将进入空闲待机模式，等待 T_{BRE} 时长结束后，再次重新检测。
 - 若 VCS≥V_{CSOP}，VCS 引脚将持续被上拉至高电平，触发 CS 开路保护，直到故障解除后，芯片才会重新检测。



图十三

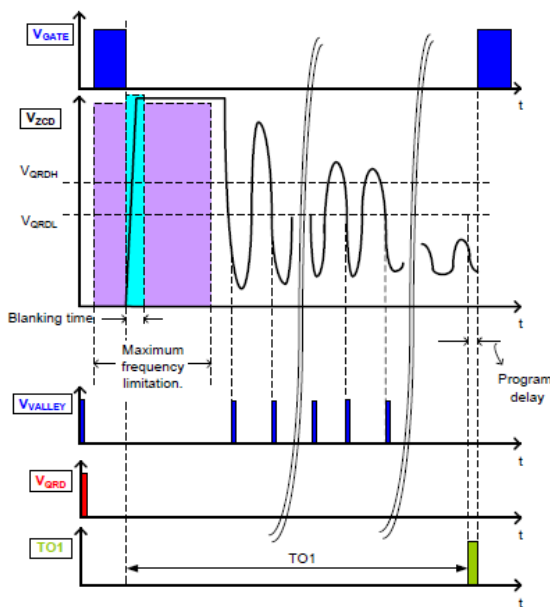
ZCD 功能描述

- 零电流检测模块通过检测辅助绕组信号来驱动 MOS 管：
 - MOS 关断期间, 当零电流检测电压 V_{ZCD} 超过准谐振高阈值电压 V_{QRDH} (典型值 0.5V, 仅单次电平触发)；之后每次电压下降低于准谐振低阈值电压 V_{QRDL} (典型值 0.25V, 下降沿触发) 时, 就会生成谷底信号, 此时电感电流会在第一个谷底处率先降为零。
 - 系统会根据补偿电压 V_{COMP} 的电平来判断系统工作在 TM/DCM 模式, 如果在 TM 模式, MOS 在第一个谷底切换, 如果在 DCM, 根据 V_{COMP} 的电平来选取对应的谷底信号, 以此来驱动 MOS 打开。(参考图十四)

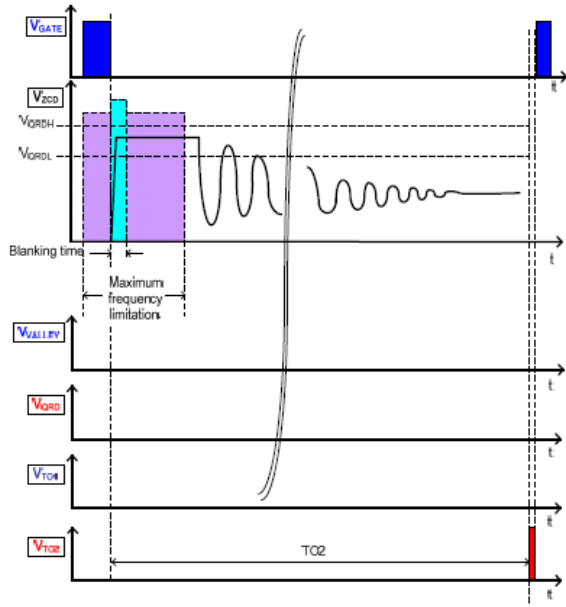


图十四

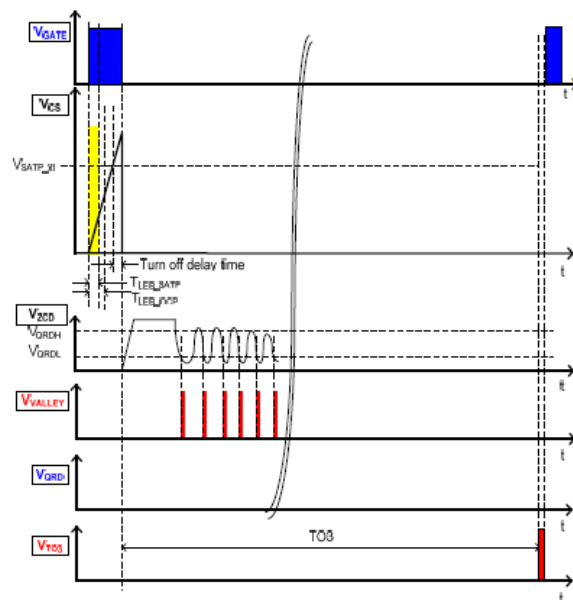
- Time out 工作说明：
 - 当 MOS 驱动关断, 若在 LEB (前沿消隐时间) 结束后, ZCD 脚电压 V_{ZCD} 如果侦测 V_{QRDH} (典型值 0.75V) 上升信号但无法检测到低于 V_{QRDL} (典型值 0.25V) (无谷底信号), LD7597 会将开关周期限定为 T_{O1} (30us 典型值), 并在 T_{O1} 计时结束时导通 MOS 管。(参考图十五)
 - 若在 MOS 关断全程, V_{ZCD} 电压始终低于 V_{QRDH} , LD7597 会将开关周期限定为 T_{O2} (80us 典型值), 并在 T_{O2} 计时结束时导通 MOS 管。(参考图十六)
 - 当 OUT 引脚电平上升, 且经过饱和前沿消隐时间 T_{LEB_SATP} 之后, 一旦电流检测电压 V_{CS} 超过饱和保护阈值电压 V_{SATP_XL} (低压阈值: 1.6V; 高压阈值: 0.85V), OUT 引脚会立刻关断, 同时饱和保护 (STAP) 功能启动。此时开关周期会被限定为 T_{O3} (800us 典型值), 以此避免器件损坏。(参考图十七)



图十五

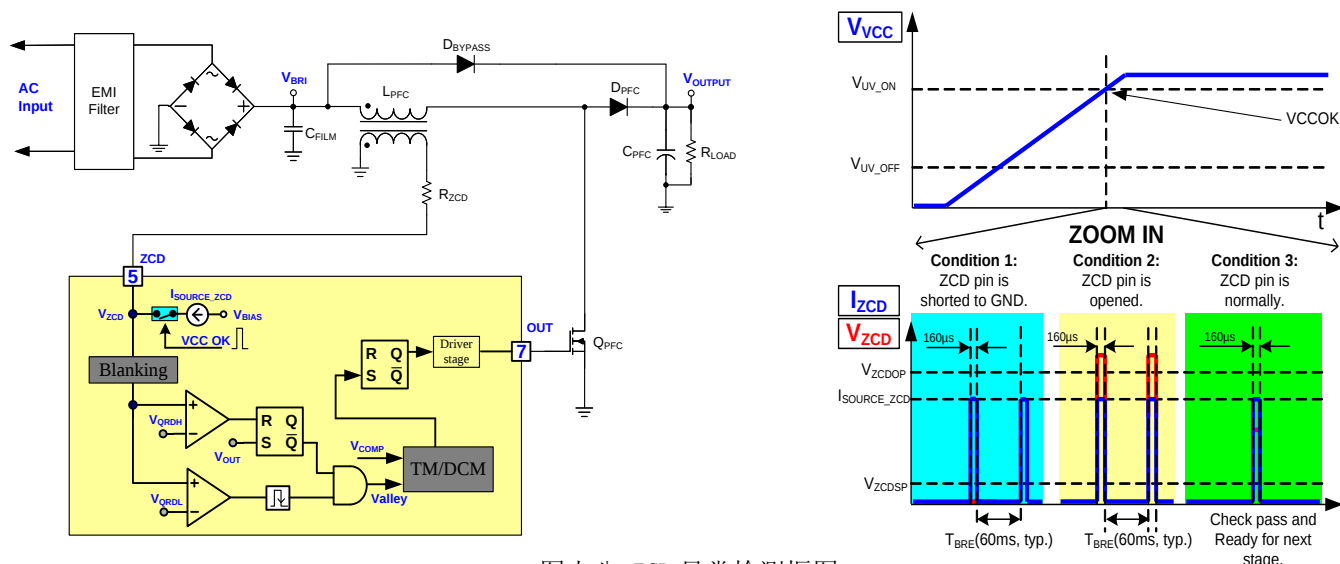


图十六



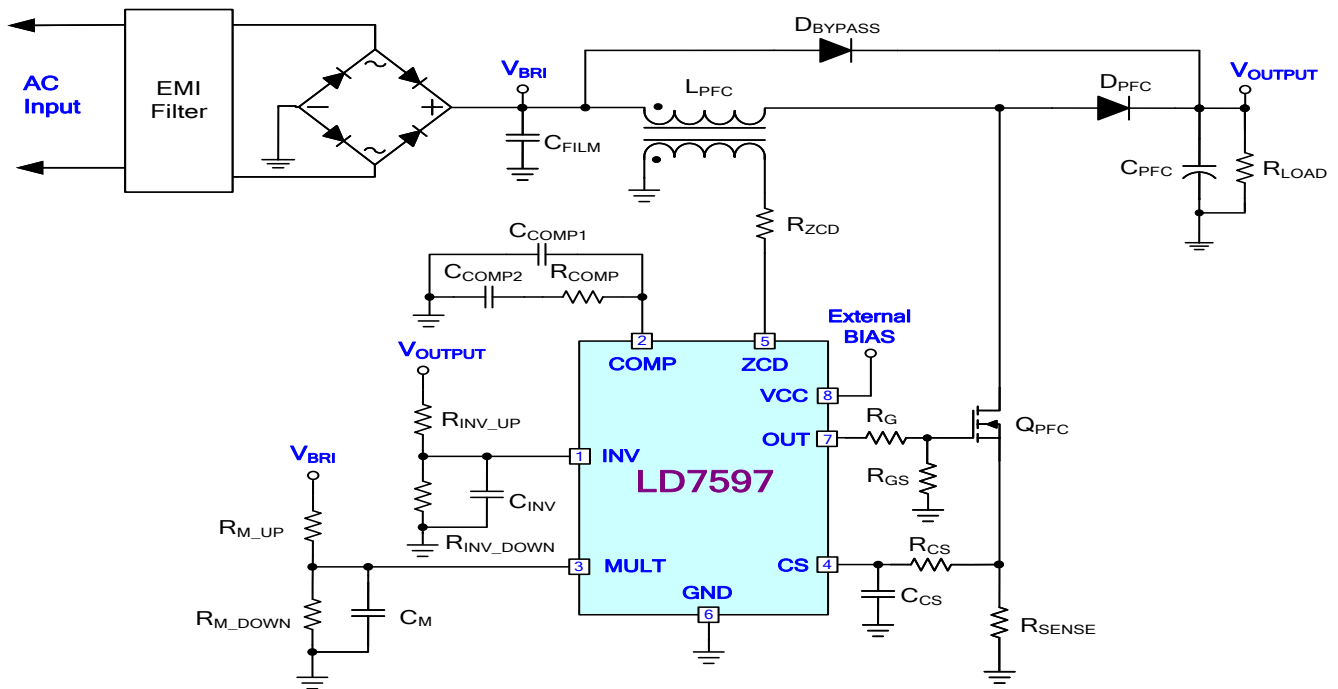
(参考图十七)

- ZCD 脚开机检测脚位状态，开机当芯片 VCC_OK 信号有效（即供电电压 $V_{CC} > V_{CC_ON}$ 开启阈值）后，LD7597 会输出恒定电流（ I_{SOURCE_ZCD} ，典型值 10uA），同时检测 ZCD 脚上的电压 V_{ZCD} ，以此判断 ZCD 脚是否存在异常故障。（参考图十八）
 - 当检测电压满足：ZCD 短路保护阈值 V_{ZCDSP} （典型 175mV） $< V_{ZCD} <$ ZCD 开路保护阈值 V_{ZCDOP} （典型 2.0V）时，判定检测通过，LD7597A 进入下一正常工作阶段。
 - 若 $V_{ZCD} \leq V_{ZCDSP}$ ，判断为 ZCD 脚对地短路，开机检测失败，LD7597 会进入空闲待机模式，等待 T_{BRE} （典型 60ms）时长后，重新启动检测重试。
 - 若 $V_{ZCD} \geq V_{ZCDOP}$ ，判断为 ZCD 脚对地开路，开机检测失败，LD7597 会进入空闲待机模式，等待 T_{BRE} （典型 60ms）时长后，重新启动检测重试。
 - 推荐电感匝比约为 10:1 左右，ZCD 外接检测电阻 R_{ZCD} 推荐取值范围：30~100 k Ω



图十八 ZCD 异常检测框图

LD7597 PCB LAOUT 建议



图十九 GND PCB 走线图

- 如图十九所示，IC 周围小信号 GND 先到 IC GND，IC GND 再到 VCC 电解 GND，最后到大电解 GND：
 - 电源去耦电容 (C_{VCC}) 靠近 IC，减少电源走线的噪声耦合。
 - 补偿网络 (C_{COMP1} , C_{COMP2} and R_{COMP}) 应靠近 IC。补偿网络用于稳定环路，靠近 IC 可减少走线寄生参数对补偿特性的影响。
 - R_{ZCD} 应尽可能靠近 IC。ZCD (零电流检测) 属于敏感信号路径，靠近 IC 可降低噪声干扰。
 - 反馈网络 (R_{INV_UP} , R_{INV_DOWN} and C_{INV}) 应靠近 IC。反馈网络决定环路增益和稳定性，靠近 IC 减少走线寄生，避免环路不稳定。
 - 前置反馈网络 (R_{M_UP} , R_{M_DOWN} and C_M) 应靠近 IC。前馈网络用于改善电路响应特性，靠近 IC 减少寄生参数对信号的影响， V_{BRI} 建议接在桥后第一个 CBB。
 - 电流检测滤波器 (R_{CS} and C_{CS}) 应靠近 IC 摆放。电流检测是敏感模拟信号，滤波器靠近 IC 可有效滤除噪声，避免检测误差。

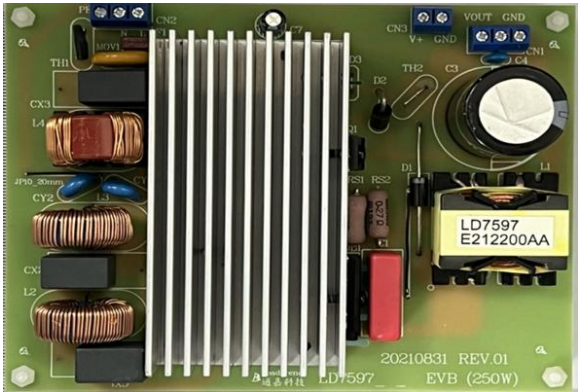
LD7597 系列之版本差异

IC (Part Number)	参数	LD7597GS	LD7597AGS	LD7597BGS	LD7597CGS
UVLO_ON	VCC_ON	12V	12V	12V	12. 6V
UVLO_OFF	VCC_OFF	7. 5V	7. 5V	7. 5V	10. 2V
De-bounce time of BNI (主要是 S&H 的更新時間)	TDEB_BNI	~30mS	~3mS	~3mS	~3mS
BNI threshold voltage	VBNI	800mV	800mV	800mV	800mV
BNO threshold voltage	VBNO	700mV	700mV	725mV	725mV
BNO&BNI 遲滯 voltage	VBNI_O_H	100mV	100mV	75mV	75mV
BNO 解除的判斷訊號		VBNO	VBNO	VBNI	VBNI
ZCD programming delay time	TD_ZCD	~180nS	~80nS	~80nS	~80nS
Zero current detection high threshold voltage	VQRDH	0. 75V	0. 75V	0. 50V	0. 50V
Time out 2	T02	200uS	200uS	80uS	80uS
Gate Driver Voltage	VOUT_L/H	0/+13V	0/+13V	0/+13V	0/+18V
Gate Driver Capbility	IOUT	+450mA/-850mA	+450mA/-850mA	+450mA/-850mA	+225mA/-425mA
Transconductance amplifier	gm	~200uS	~200uS	~200uS	~150uS
VCFF 的 de-bouncing time	TQRDCM	~1uS	~1uS	~1uS	~1uS
USD threshold ratio	RUSD	96%	92%	92%	92%
Hysteresis of USD	Δ RUSD_H	2%	6%	6%	6%
OSD threshold ratio	ROSD	105%	107%	107%	107%
Hysteresis of OSD	Δ ROSD_H	2%	5%	5%	5%
OVP threshold ratio	ROVP	107%	109%	109%	109%
ACOVp threshold voltage	VACOVp	3. 4V	3. 4V	3. 4V	3. 4V
Hysteresis of ACOVP	VACOVp_H	-100mV	-100mV	-100mV	-100mV
UVP released threshold voltage	VUVP_H	0. 45V	0. 45V	0. 45V	0. 45V
UVP triggered threshold voltage	VUVP_L	0. 3V	0. 2V	0. 2V	0. 2V

备注:

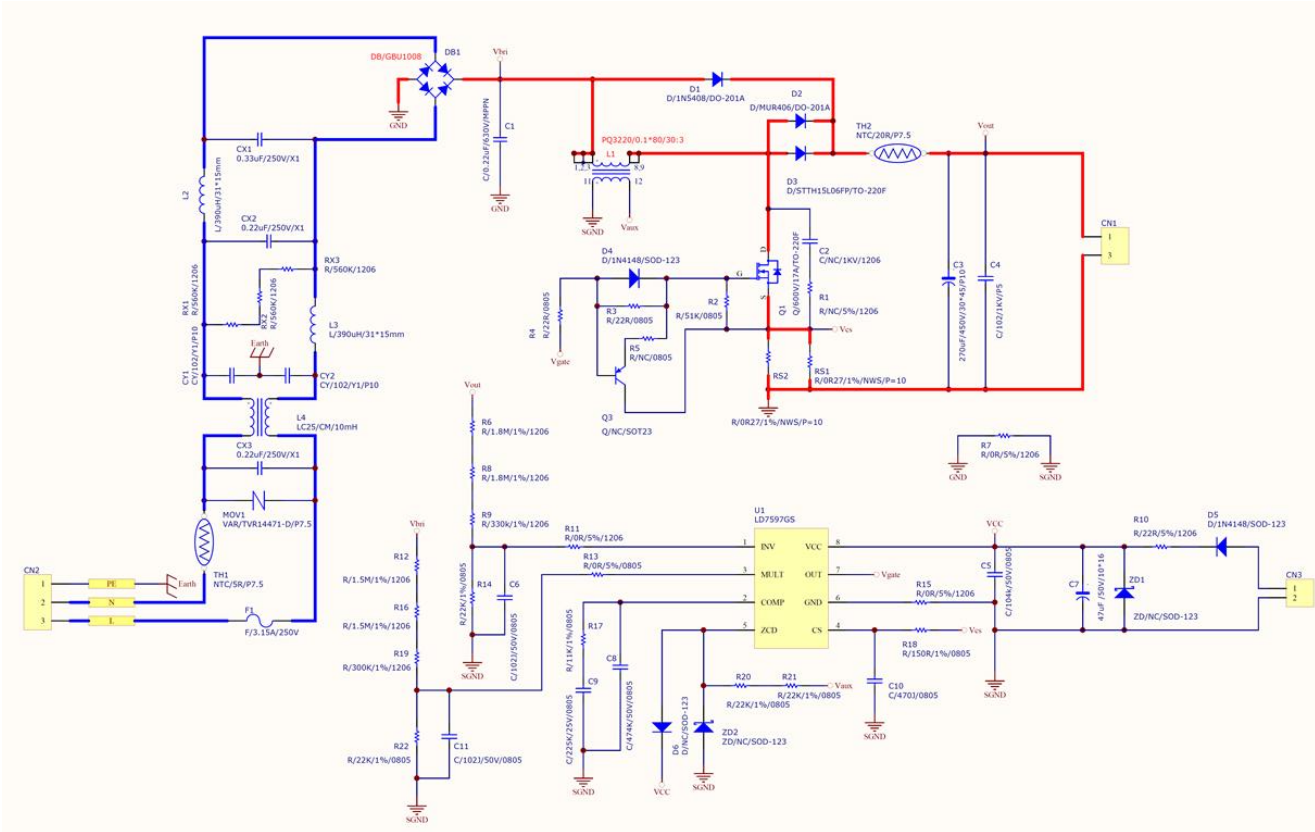
1. 如果对 PFC 动态要求很严格, 建议采用 LD7597GS, 但输出大电容须用大, 增加成本。
2. 常规推荐 LD7597AGS, 可以减小输出大电容, 降低成本, 如果要求 BNI/O 回差小, 推荐 LD7597BGS。
3. 如果推 SiC MOS, 建议采用 LD7597CGS。

200W Pre-regulation PFC DEMO 范例



● 设计规格

类别	项目	规格
输入	Voltage	90~264Vac
	Frequency	47~63Hz
	THDi (總諧波電流)	<10% @ 50% load, <15% @ 25% load
	PF (功率因數)	>0.9 @ 30% load
	Efficiency (效率)	>95% @ 30% Load, 230Vac
输出	VOUT	400V+/-5%
	VOUT_MAX @ load dynamic	<450Vdc
	VOUT_MIN @ load dynamic	>VOUT*90%
	IOUT_MAX	0~0.50A
	POUT_MAX	200W



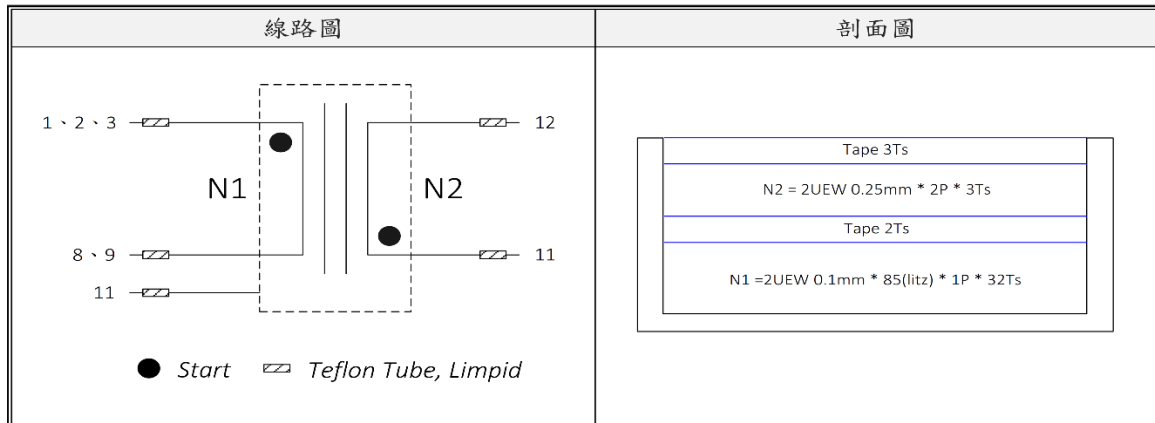
● PFC 电感設計

Bobbin = PQ3225(6+6)12PIN

Core = PQ3225 PC44(同等材質即可)

Inductance(Pin1、2、3 - Pin8、9) = 180uH±5%

Np:Naux = 32:3



WINDING TABLE:(繞線結構)

WINDING (繞組)	DIAMETER AND TYPE (線徑及線種)	TURNS (圈數)	ML TAPE (絕緣膠帶)	WINDING METHOD (繞線方式)
N1(1、2、3 --- 8、9)	2UEW 0.1mm * 85(litz) * 1P	32TS	2Ts	密繞
N2(11 --- 12)	2UEW 0.25mm*2P	3TS	3Ts	置中密繞
OVER Core				
S1	Copper Foil W= 10mm #1181	1.1TS	垂直，鐵芯方向	
S2(11 --- X)	Copper Foil W= 10mm #1181	1.1TS	水平，線包方向	
			外圈膠帶 Tape 2+2Ts	

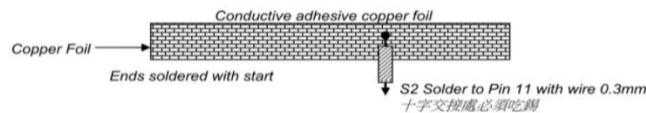
NOTE:(注意事項)

1.繞線順序：從上往下開始

2.磁芯接遮罩銅箔引線掛在PIN11

3.所有出入線需加TEFLON TUBE (鐵氟龍套管)

NOTE 1. COPPER FOIL : S1 , S2 (焊點依工廠實際生產為準)



NOTE 2. 點膠要求: (磁芯中柱點軟膠需滿 80% 以上，如下圖示)



4. TEST INDUCTANCE, LEAKAGE INDUCTANCE ,DCR. (電感,漏電感,直流電阻測試).

TEST INSTRUMENT(測試儀器):CH3250 CH502

TEST CONDITION(測試條件): 10KHz 0.25V

WINDING (繞組)	INDUCTANCE (電感)
1、2、3 --- 8、9	180uH±5%

5.2 INSULATION RESISTANCE AND HI-POT TEST(絕緣電阻與耐電壓測試)

TEST INSTRUMENT(測試儀器):CH-9053

TESE ITEM(測試項目)

TEST CONDION (測試條件)

PRI(1、2、3、8、9) --- SEC(11、12)

HI-POT TESE (耐壓測試) Arc is 5

AC 50/60HZ

1000V

@0.75mA 60SEC (AC)

● 功率因数(PF)、輸入電流總諧波(THDi)及系統效率之綜合測試

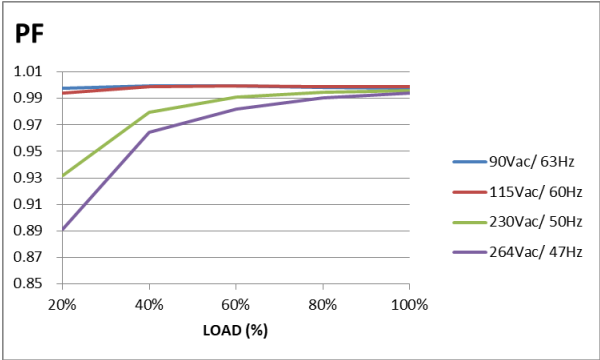
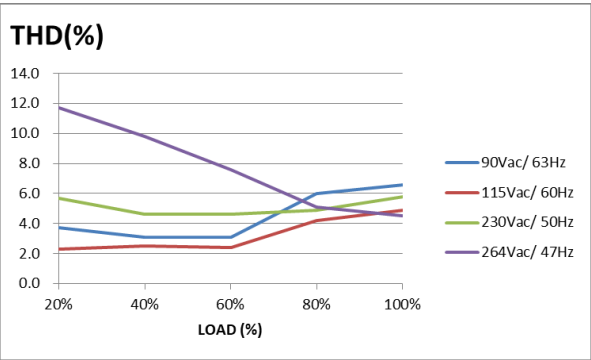
测试条件：输入电压 $V_{in}=90\sim 264V$ 交流电 / $47\sim 63Hz$ ；输出电压 $V_{out}=\text{典型值 } 400V$ ；输出电流 $I_{out}=0.1\sim 0.5A$ （电子负载恒流模式）；使用直流源作为 V_{cc} 辅助供电，且在交流输入上电前预先给系统供电。

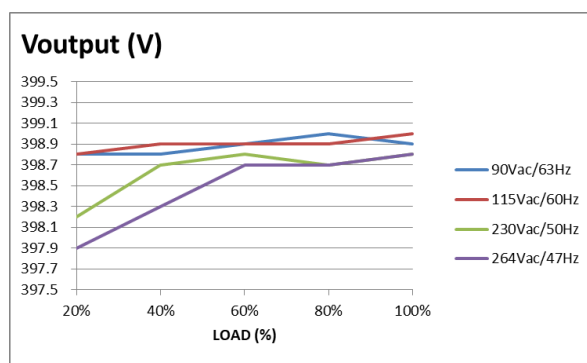
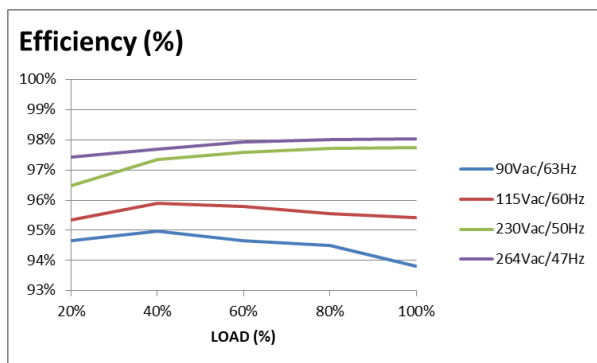
VAC/Hz	Pin	Iout	Vout	THD	PF	Efficiency
90/60	43.49	0.1	399.4	5.957	0.994	91.84%
	86.78	0.2	399.5	5.184	0.998	92.07%
	131.09	0.3	399.4	7.508	0.996	91.40%
	174.78	0.4	399.4	8.636	0.996	91.41%
	220.3	0.5	399.3	9.143	0.995	90.63%

VAC/Hz	Pin	Iout	Vout	THD	PF	Efficiency
115/60	43.77	0.1	399.1	3.996	0.987	91.18%
	85.96	0.2	399.3	4.962	0.996	92.90%
	128.87	0.3	399.4	4.134	0.998	92.98%
	172.5	0.4	399.4	5.994	0.997	92.61%
	215.3	0.5	399.4	7.135	0.997	92.75%

VAC/Hz	Pin	Iout	Vout	THD	PF	Efficiency
230/50	42.43	0.1	398.6	6.524	0.874	93.94%
	83	0.2	399	5.951	0.965	96.14%
	124.66	0.3	399.3	6.552	0.983	96.09%
	166.33	0.4	399.3	7.269	0.989	96.03%
	206.9	0.5	399.4	8.464	0.991	96.52%

VAC/Hz	Pin	Iout	Vout	THD	PF	Efficiency
264/50	42.03	0.1	398.5	13.392	0.813	94.81%
	82.16	0.2	398.7	11.958	0.939	97.05%
	123.49	0.3	399	9.967	0.97	96.93%
	164.87	0.4	399.2	6.463	0.984	96.85%
	206.3	0.5	399.3	6.149	0.989	96.78%





● 在不同负载操作条件下的各次谐波电流(THC)测试

➤ 100%负载:

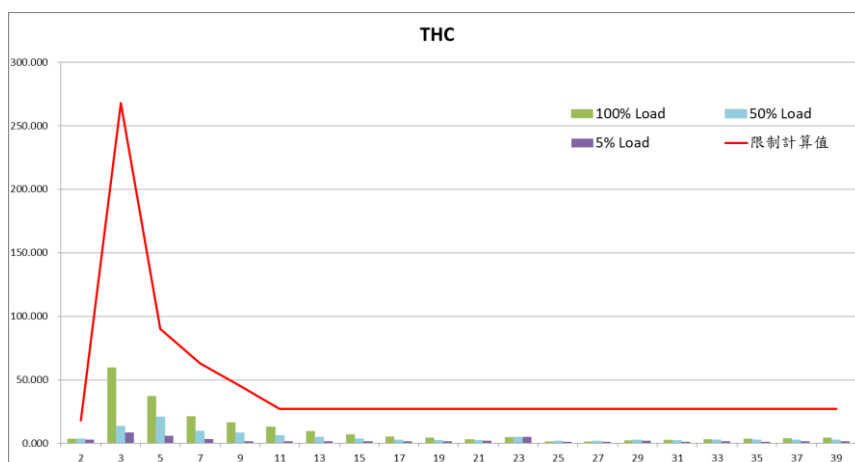
100% Load (PIN = 206.5W), 230VAC/50Hz, 老化10Min.					
#	Limit1	Limit2	Average	Maximum	Current
Step	(mA)	(mA)	(mA)	(mA)	(mA)
2	5.440	8.160	2.572	3.420	2.219
3	300.000	450.000	58.852	59.754	58.241
5	100.000	150.000	36.357	37.128	36.796
7	70.000	105.000	20.737	21.201	20.703
9	50.000	75.000	16.490	16.718	16.474
11	30.000	45.000	13.131	13.280	13.093
13	30.000	45.000	9.651	9.778	9.641
15	30.000	45.000	6.893	7.055	6.841
17	30.000	45.000	5.325	5.528	5.429
19	5.440	8.160	4.026	4.408	4.001
21	5.440	8.160	2.766	3.035	2.801
23	5.440	8.160	3.971	4.940	3.630
25	5.440	8.160	1.119	1.291	1.171
27	5.440	8.160	1.123	1.351	1.192
29	5.440	8.160	1.788	2.508	1.976
31	5.440	8.160	2.325	2.610	2.351
33	5.440	8.160	2.927	3.410	3.027
35	5.440	8.160	3.361	3.498	3.416
37	5.440	8.160	3.871	4.035	3.881
39	5.440	8.160	4.407	4.622	4.590

➤ 50%负载:

50% Load (PIN = 206.5W), 230VAC/50Hz, 老化10Min.					
#	Limit1	Limit2	Average	Maximum	Current
Step	(mA)	(mA)	(mA)	(mA)	(mA)
2	5.000	7.500	2.615	3.446	2.540
3	137.440	206.160	12.532	13.695	13.021
5	45.813	68.720	20.076	20.925	19.832
7	32.069	48.104	9.347	9.784	9.299
9	22.907	34.360	7.847	8.180	7.980
11	13.744	20.616	6.087	6.334	6.257
13	5.000	7.500	4.567	4.778	4.683
15	5.000	7.500	3.376	3.602	3.415
17	5.000	7.500	2.465	2.755	2.459
19	5.000	7.500	1.985	2.371	1.862
21	5.000	7.500	1.903	2.162	1.919
23	5.000	7.500	3.920	5.000	3.834
25	5.000	7.500	1.685	1.881	1.633
27	5.000	7.500	1.771	1.956	1.781
29	5.000	7.500	2.192	2.605	2.117
31	5.000	7.500	2.199	2.511	2.134
33	5.000	7.500	2.491	2.847	2.517
35	5.000	7.500	2.480	2.686	2.467
37	5.000	7.500	2.517	2.686	2.565
39	5.000	7.500	2.549	2.888	2.452

➤ 10%负载:

50% Load (PIN = 206.5W), 230VAC/50Hz, 老化10Min.					
#	Limit1	Limit2	Average	Maximum	Current
Step	(mA)	(mA)	(mA)	(mA)	(mA)
2	5.000	7.500	2.615	3.446	2.540
3	137.440	206.160	12.532	13.695	13.021
5	45.813	68.720	20.076	20.925	19.832
7	32.069	48.104	9.347	9.784	9.299
9	22.907	34.360	7.847	8.180	7.980
11	13.744	20.616	6.087	6.334	6.257
13	5.000	7.500	4.567	4.778	4.683
15	5.000	7.500	3.376	3.602	3.415
17	5.000	7.500	2.465	2.755	2.459
19	5.000	7.500	1.985	2.371	1.862
21	5.000	7.500	1.903	2.162	1.919
23	5.000	7.500	3.920	5.000	3.834
25	5.000	7.500	1.685	1.881	1.633
27	5.000	7.500	1.771	1.956	1.781
29	5.000	7.500	2.192	2.605	2.117
31	5.000	7.500	2.199	2.511	2.134
33	5.000	7.500	2.491	2.847	2.517
35	5.000	7.500	2.480	2.686	2.467
37	5.000	7.500	2.517	2.686	2.565
39	5.000	7.500	2.549	2.888	2.452



结论

本文主要讲解通嘉新一代 PFC LD7597 系列产品应用，它采用 SOP-8 封装，拥有高效率、高功因(PF)、低諧波(THDi)等优点；針對高功因(PF)及低輸入總電流諧波(THDi)可显著提升电能利用效率，减少发电侧碳排放，符合“双碳”战略；而通嘉科技加入 ESG，核心目的是将其【绿色电源，珍爱地球】的企业愿景具体化，通过系统性的策略来实践节能减碳、强化管理，以实现公司的永续经营。如果您想了解通嘉更多信息，可以参考如下联系方式，期待与您的合作：

