

参考文献:LD8530 应用手册及 IC 规格书

### 1. 通嘉侦测式同步整流应用于 LLC 谐振转换控制器背景说明

因电动车与混合动力车在全球范围内的普及，加上工业自动化、物联网 (IoT) 应用、电信业、医疗产业及太阳能等可再生能源的快速成长，市场对高效能、稳定且可扩展的电源转换解决方案需求不断上升。此外，在 AI 技术的加持下，智慧电网技术的进步、云端运算及 5G 基础设施的扩展，也进一步推动能源转换技术的创新，以确保设备运行效率、降低能耗并增强系统的可靠性。随着各国政策支持绿能转型，这类高功率电源转换解决方案的市场前景更加看好。

承上应用需求，LLC 谐振转换器架构利用电感-电感-电容 (LLC) 谐振槽来提高功率转换效率。其工作原理基于零电压切换 (ZVS) 和零电流切换 (ZCS)，减少开关损耗并提升效率。当开关频率高于谐振频率时，转换器运行于 ZVS 模式，确保开关组件在零电压下导通，进而降低切换损失；当频率低于谐振频率时，则运行于 ZCS 模式，减少输出二极管的压力，进而降低导通损失，并具有高功率密度与低电磁干扰。

图 1 为通嘉 LLC 谐振转换器方案架构，二次侧采用同步整流 (Synchronous Rectification, SR) 取代传统萧特基二极管，以大幅优化导通损耗 (Conduction Loss)，达成高能效与散热优化之目标。其中 LD8530 是 LLC 谐振转换器架构中的次级侧同步整流控制器，具备两组独立驱动  $V_{gs}$  机制，针对 LLC 谐振转换器特性，LD8530 具备 Anti-short circuit mechanism 與延長 blanking time 機制，以实现 LC 谐振保护。其新专利技术可节省系统组件，并改善开机或输出短路时因 VCC 过低而导致初、次级侧短路的问题。此外，自动调整  $V_{ds\_reg\ level}$  及 green mode 专利技术，可确保轻载与重载条件下皆具备最佳系统效率。

通嘉侦测式同步整流应用于 LLC 谐振转换器方案如表 1。

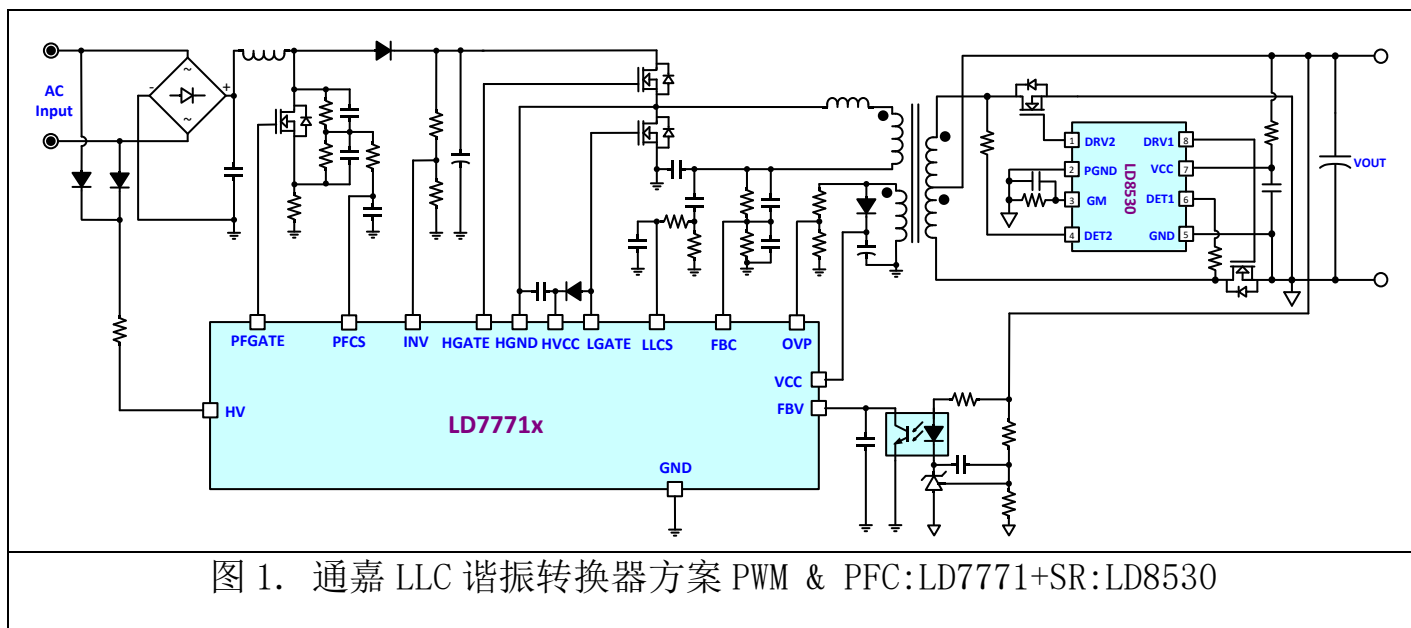


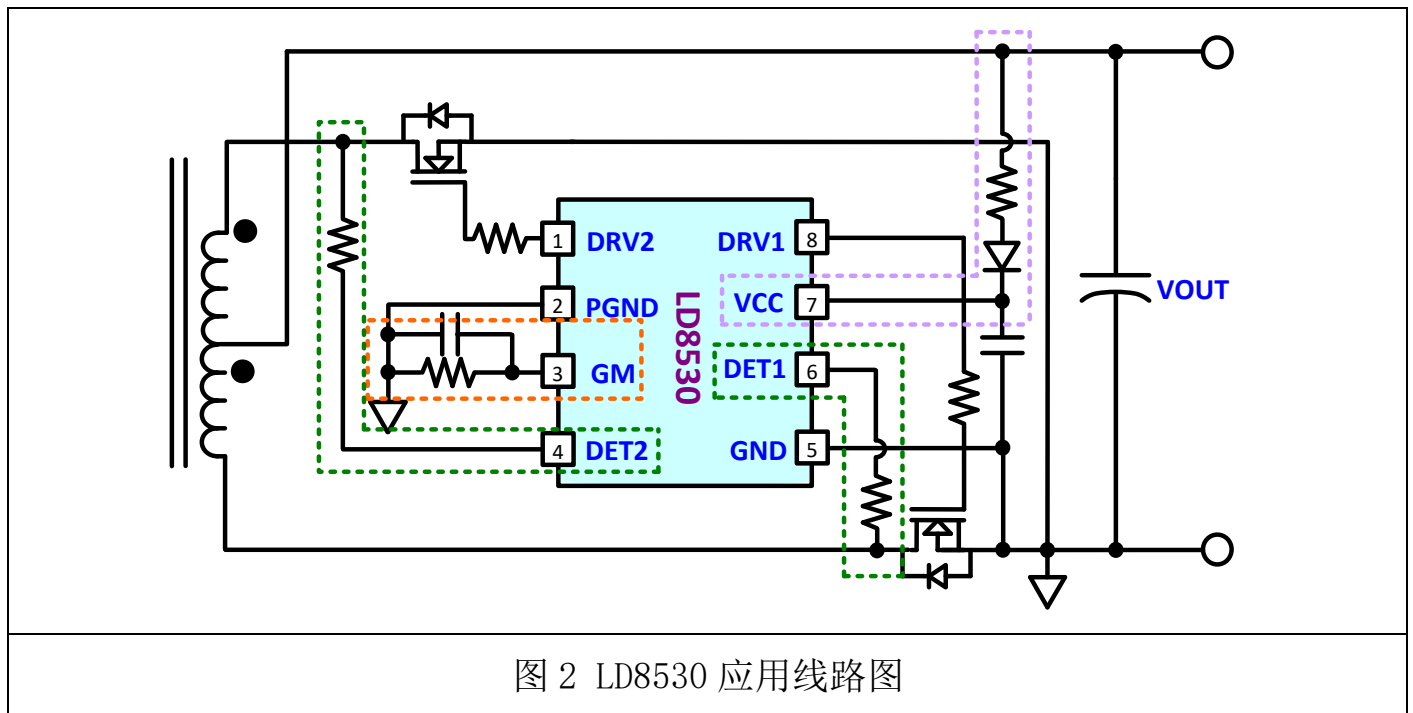
图 1. 通嘉 LLC 谐振转换器方案 PWM & PFC:LD7771+SR:LD8530

Name	LD8530
Package	<p>SOP-8</p>
VCC PIN Rating	3.9V~65V
DET PIN Rating	180V
DET floating Current	200μA
UVLO ON/OFF	3.9V/3.8V
Gate high max	11.5V
Output Voltage App.	12V~48V
Application	LLC
GM pin	设定 Green mode 时间 & SR enable/disable 控制
表 1. 通嘉侦测式同步整流应用于 LLC 谐振转换器方案	

## 2. 通嘉侦测式同步整流应用于 LLC 谐振转换器技术特点说明

- a. 随电流变化自动调整驱动波形，以达成效率优化。
- b. 内建 LDO 对 VCC 充电：在系统输出电压不足 2V 条件下，不需要增加系统组件，即可确保 LD8530 具备足够能力箝制 SR MOSFET Gate 电压。
- c. 防止初级与次级侧同时导通：加入 Anti-short circuit mechanism，以避免短路风险。
- d. 导通周期不平衡延长 blanking time：可避免 abnormal 状态下 LC 谐振同步整流误导通。
- e. 可依系统设定进/出 green mode 时间，以优化轻载效率。
- f. 具有 SR disable 机制：在系统 abnormal 状态下，可藉由外部讯号关闭同步整流，避免系统短路故障。

LD8530 应用线路图如图 2 及 IC Pin 脚功能应用说明如表 2



Pin	NAME	应用说明
1	DRV2	MOSFET2 驱动引脚，直接连接或透过电阻连接至 MOSFET 的闸极 (GATE)
2	PGND	电源地引脚 (Power ground pin)
3	GM	绿色模式 (Green mode) 时间设定及同步整流 (SR) 致能/禁用控制
4	DET2	MOSFET2 同步整流检测与线性稳压器输入
5	GND	接地引脚
6	DET1	MOSFET1 同步整流检测与线性稳压器输入
7	VCC	供电引脚
8	DRV1	MOSFET1 驱动引脚，直接连接或透过电阻连接至 MOSFET 的闸极 (GATE)

表 2. LD8530 Pin 脚功能应用说明

### 3. 侦测式同步整流应用于 LLC 谐振转换器功能应用说明

#### 3.1 随二次侧电流自动调整驱动波形：

因 LLC 一次侧 LC 谐振腔具有带通滤波特性，能将输入的方波电压转化为接近正弦波的谐振电流，并透过变压器传递至二次侧，如图 3 所示。LD8530 随二次侧电流 (ISD) 变化，自动调整 DRV 驱动电压，使同步整流达到最佳效率。另外，从图中可以看到同步整流刚开始启动电流较小，容易受到噪声干扰而提早关断，因此设计适当的最小导通时间 ( $T_{min\_on}$ )，能优化整体驱动过程。图 4 与图 5 分别为轻载跟重载波形，DRV 随 ISD 电流变化自动调整。

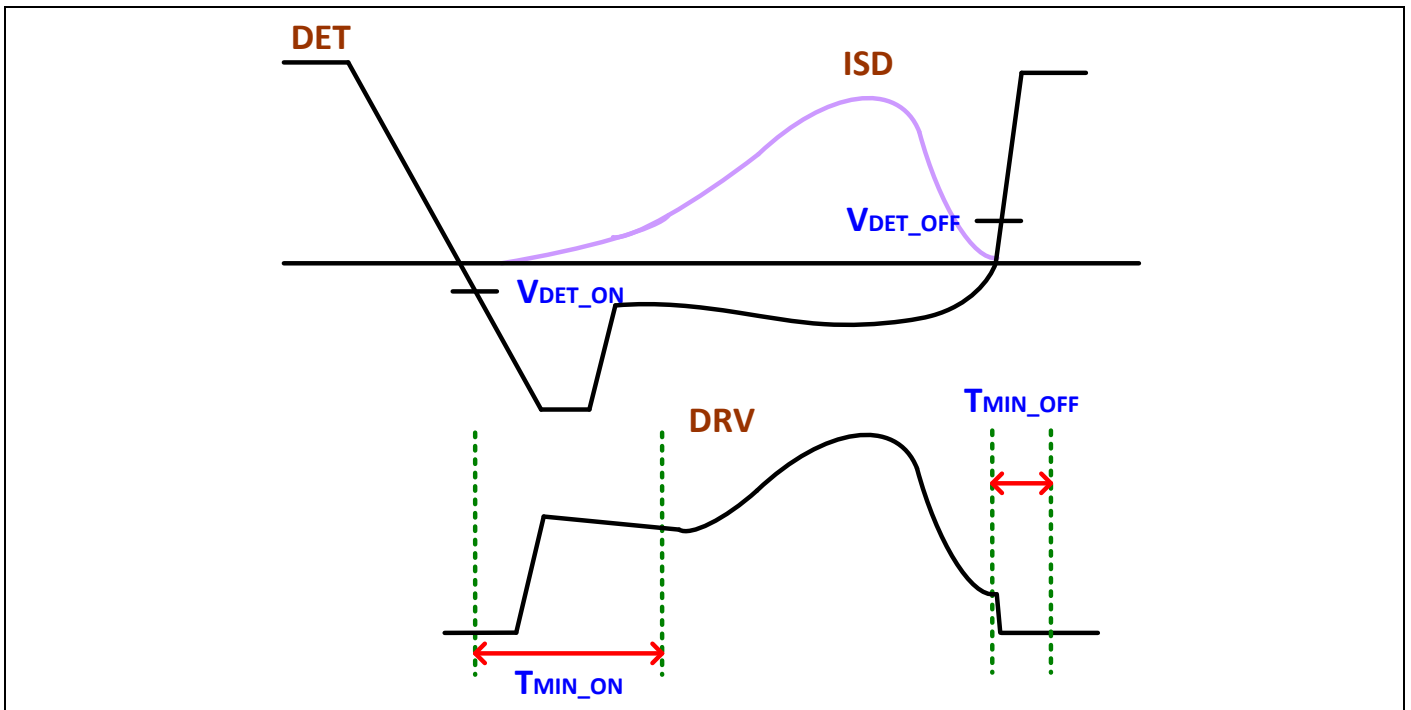


图 3 同步整流驱动波形示意图

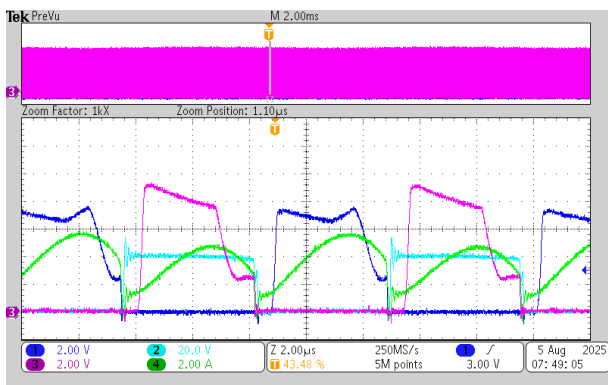


图 4 轻载实测波形

Ch1: DRV1, Ch2: DET1, Ch3: DRV2, Ch4: ISD

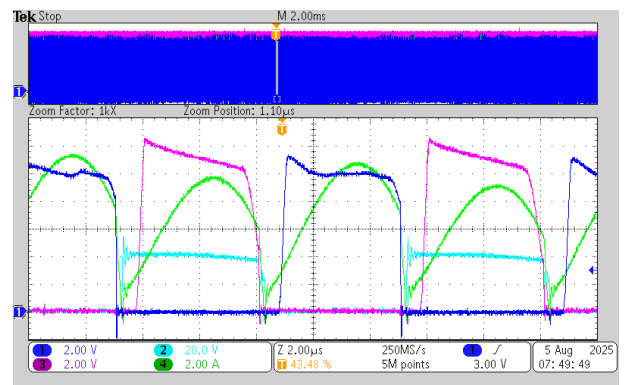


图 5 重载实测波形

Ch1: DRV1, Ch2: DET1, Ch3: DRV2, Ch4: ISD

### 3.2 内建箝制 MOSFET Gate 电压 LDO:

LD8530 内部在 VCC 小于 UVLO\_ON 时, 具备箝制 DRV 至 0V 机制, 但因 LD8530 VCC 由输出电压供电, 在开机与输出短路期间, 当 VCC 低于 2V, 箝制 DRV 至 0V 机制尚无法动作, 导致 SR MOSFET drain 会因寄生电容 Cgd 将电压耦合至 SR MOSFET Gate, 进而使 SR MOSFET 与一次侧 MOSFET 同时导通导致短路。LD8530 DET 内建 LDO (low drop-out regulator) 电路, 在 DET pulse 5V/20% duty/100kHz (power on & output short worst condition) 即能对 VCC 进行有效充电至 2V 以上, 并将图 6 NMOS Vth 提高至 2V, 使 NMOS turn on, VGS 拉 low。故 DET 除了可侦测 MOSFET drain 以进行 SR 驱动 IC turn on/off 控制外, 并可在 DET high level 藉由 LDO 对 VCC 进行充电让输出电压不足 2V 条件下, 不需要额外增加系统组件, 即能使 SR 驱动 IC 有足够能力箝制 SR MOSFET Gate 电压。图 7 显示加入此机制 VCC 建立速度较 VOUT 快, 在开机 2ms 内即可箝制 MOSFET Gate 电压。相较竞争对手, 该设计可节省 6 个组件。

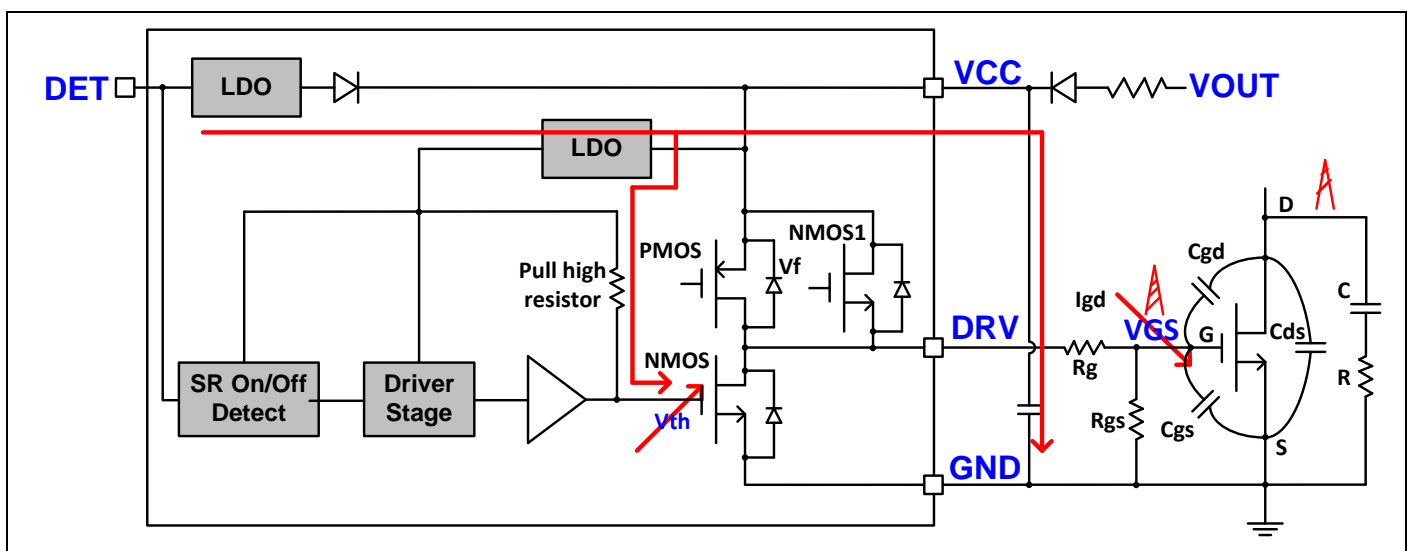


图 6 MOSFET Gate 电压箝制示意图

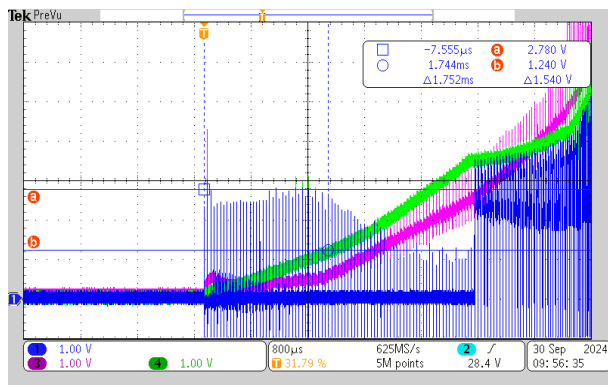


图 7 MOSFET Gate 电压箝制波形 Ch1: VGS, Ch3: VOUT, Ch4: VCC

### 3.3 防短路机制:

LD8530 同步整流应用于 LLC 谐振转换器次级侧，需同时控制两路 MOS 动作，若两路 MOS 同时导通会使系统短路，故需控制 DRV1/DRV2 不可同时导通。设定 DRV1 turn on 时为 DRV2 的 blanking time，相同的在 DRV2 turn on 时为 DRV1 的 blanking time，时序如图 8 所示。

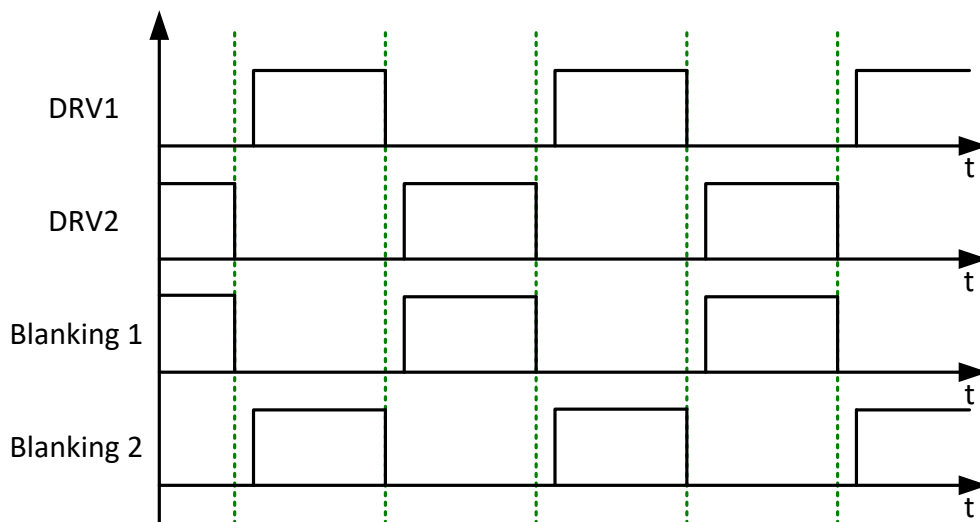
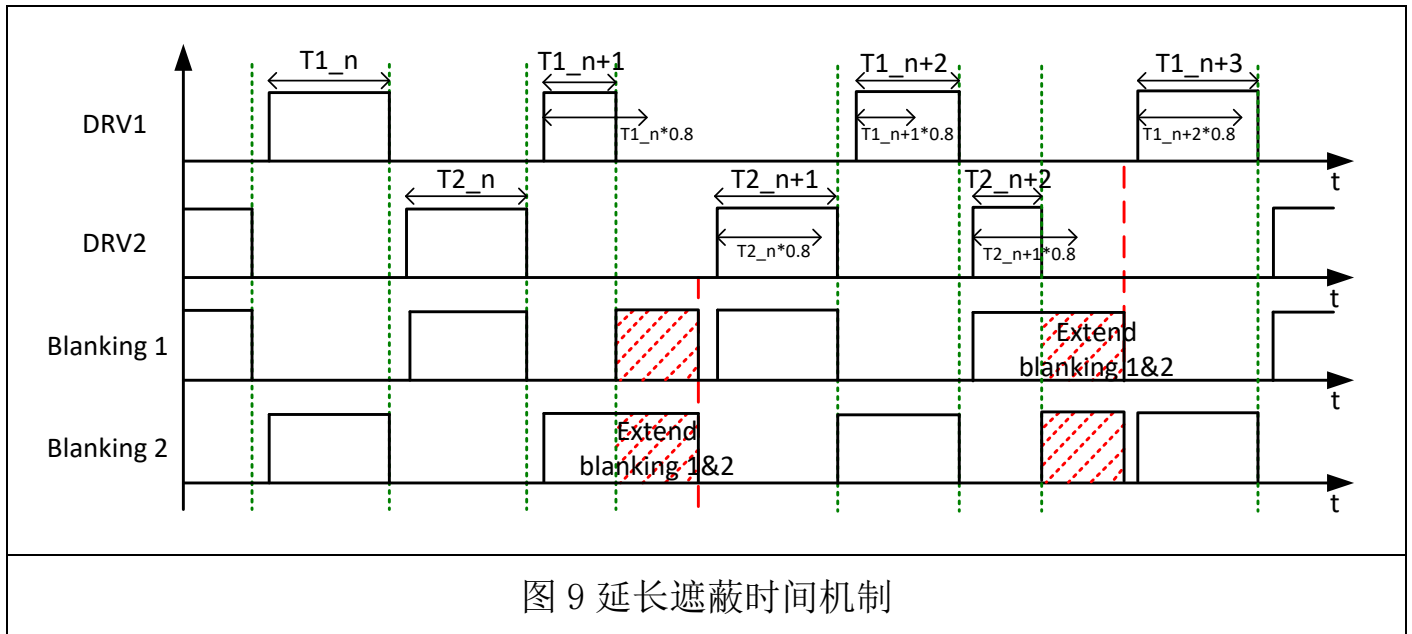


图 8 防短路机制

### 3.4 延长遮蔽时间机制：

LLC 谐振转换器在 power on, power off, burst mode, output short...等 abnormal 瞬时条件下，可能会出现两项 turn on 时间不平衡，同时 LC 谐振震幅大。若未有效遮蔽 LC 谐振，可能导致一次侧与二次侧短路。

如图 9，LD8530 个别侦测 DRV1/DRV2 turn on 时间，当 turn on 时间为原本的 80%即延长遮蔽时间，降低短路风险。



### 3.5 可调式 Green mode 机制

为优化 LLC 谐振转换器轻载效率，LD8530 可由外部 GM pin 依式 1 设定进/出 green mode 时间，并在进入 green mode 停止 DRV 驱动 MOSFET，同时降低 IC 耗电，如图 10 所示。LD8530 可由 DET 侦测间隔时间，当时间超过设定的 TGM\_DT 即进入 green mode，并降低 IC 耗电。而当间隔时间小于  $TGM\_DT * 0.8$ ，则 LD8530 退出 green mode，并恢复 DRV 驱动 MOSFET。此外，LLC 谐振转换器在脱离 burst mode 一次侧频率跟 Duty 变动较大，需停打 cycle 避免 SR 误导通导致初级侧与次级侧短路，又同时考虑要将轻载效率最大化，停打 cycle 要越少效率越佳，故在脱离 green mode 只设定 2 个 cycle 的 TGM\_ENT，使遮蔽脱离 burst mode 高频 cycle 后，SR 即可正常驱动。实测波形如图 11 跟 12。

$$TGM\_ENT = \frac{1245p}{\frac{1}{RGM} + 0.14\mu}$$

式 1 Green mode 时间设定

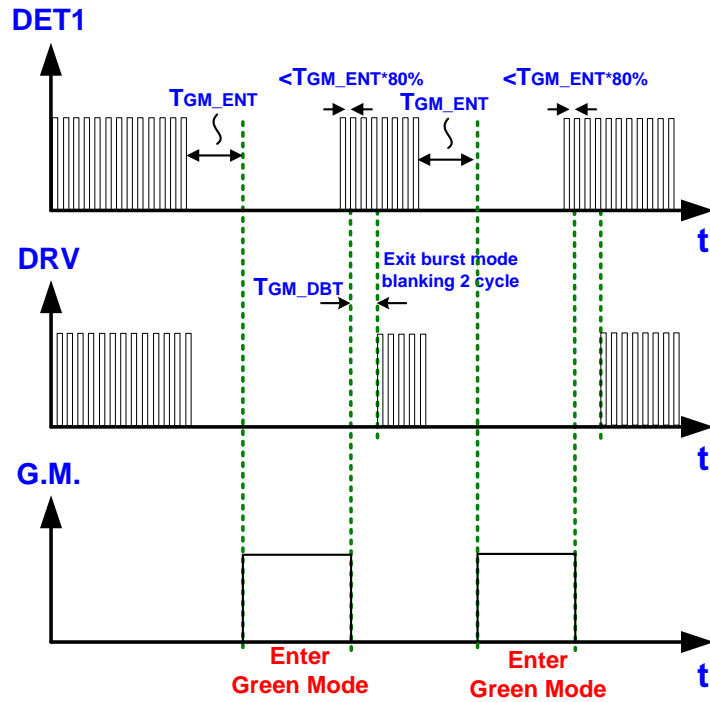


图 10 Green mode 时序图

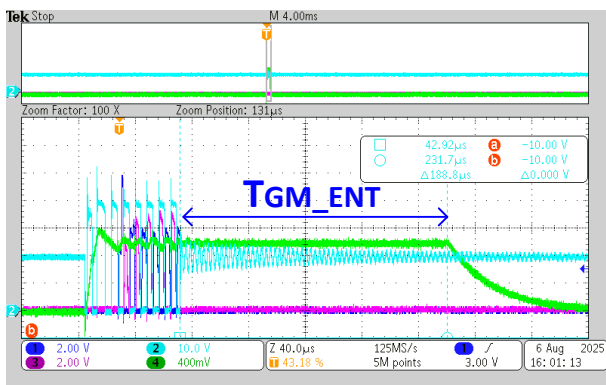


图 11 实测进 green mode 波形

Ch1: DRV1, Ch2: VDS, Ch3: DRV2, Ch4:GM

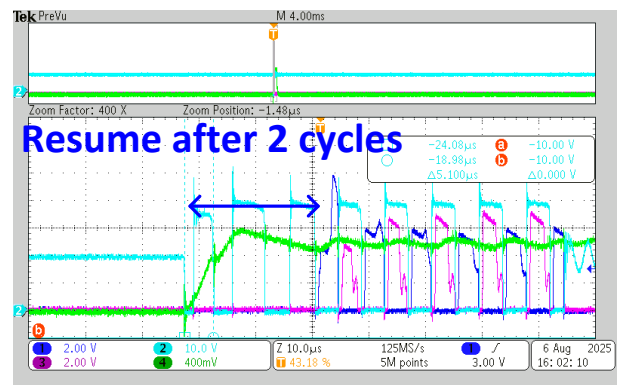


图 12 实测脱离 green mode 波形

Ch1: DRV1, Ch2: VDS, Ch3: DRV2, Ch4:GM

### 3.6 SR disable 机制:

当 LLC 谐振转换器系统异常，同步整流若能适时 disable，可降低系统短路风险。LD8530 GM pin 除了可设定进/出 green mode 时间外，外部控制将 GM pin 短路到 GND，可在 100ns 内将 SR disable。而 GM pin 短路状态移除，DRV 可恢复正常驱动，如图 13 所示。实测在 GM 低于 0.5V 后，在 100ns 内即可将同步整流 shut down，如图 14。

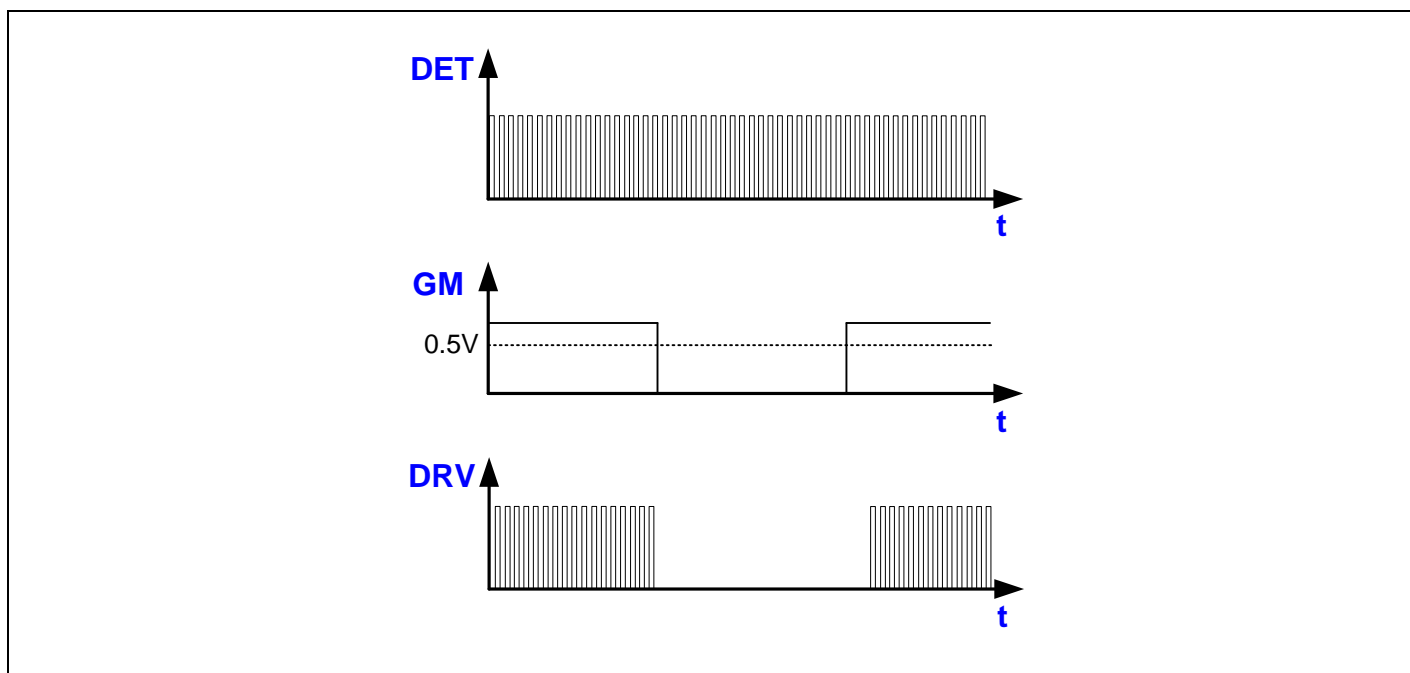


图 13 SR disable 机制时序图

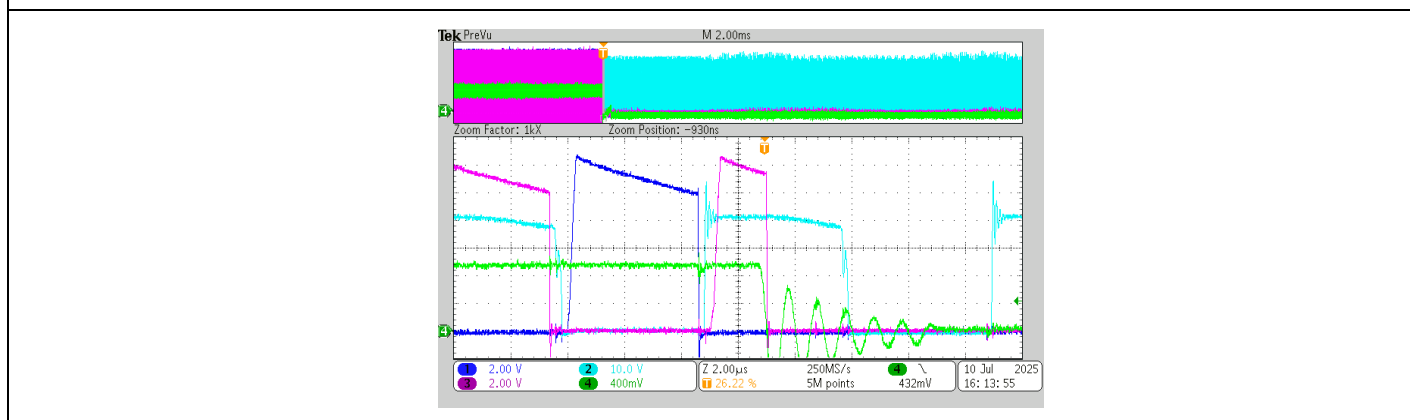


图 14 SR disable 波形, Ch1: DRV1, C2: VDS1, Ch3: DRV2, Ch4: VGM

### 3.7 Layout 路径说明:

Layout 路径说明示意图如图 15 所示:

- (1) IC 的 GND 与 MOSFET source 距离最小化。
- (2) Power loop 最小化
- (3) LD8530 可由 VOUT 串接  $10\ \Omega$  (R5) 电阻加上  $1\ \mu\text{F}$  的电容 (C2) 对 VCC 供电, 以提高系统的 ESD 保护并确保良好的噪声滤除效果。
- (4) 呈上, VOUT 与 VCC 之间新增一颗二极管 (D1), 可加快 LD8530 内部 LDO 对 VCC 的充电速度, 降低 MOSFET 在开机过程中的 stress。
- (5) 为了减少寄生电感对 SR 操作的影响, DET1/DET2 的侦测位置需靠近 MOSFET drain 端并尽量缩小回路面积, 且 2 项侦测路径分开, 并各别串联  $1\text{k}\ \Omega$  的电阻 (R1, R6) 以优化讯号侦测。
- (6) 系统中的 PWM 切换可能会在 GM 引脚上引入纹波; 若该纹波超过安全阈值, 则可能触发 SR 关闭 (Disable) 功能。为了缓解此问题, 应在 GM 引脚两端跨接一个最小容量为  $100\ \text{pF}$  的电容 (C1), 以抑制纹波。

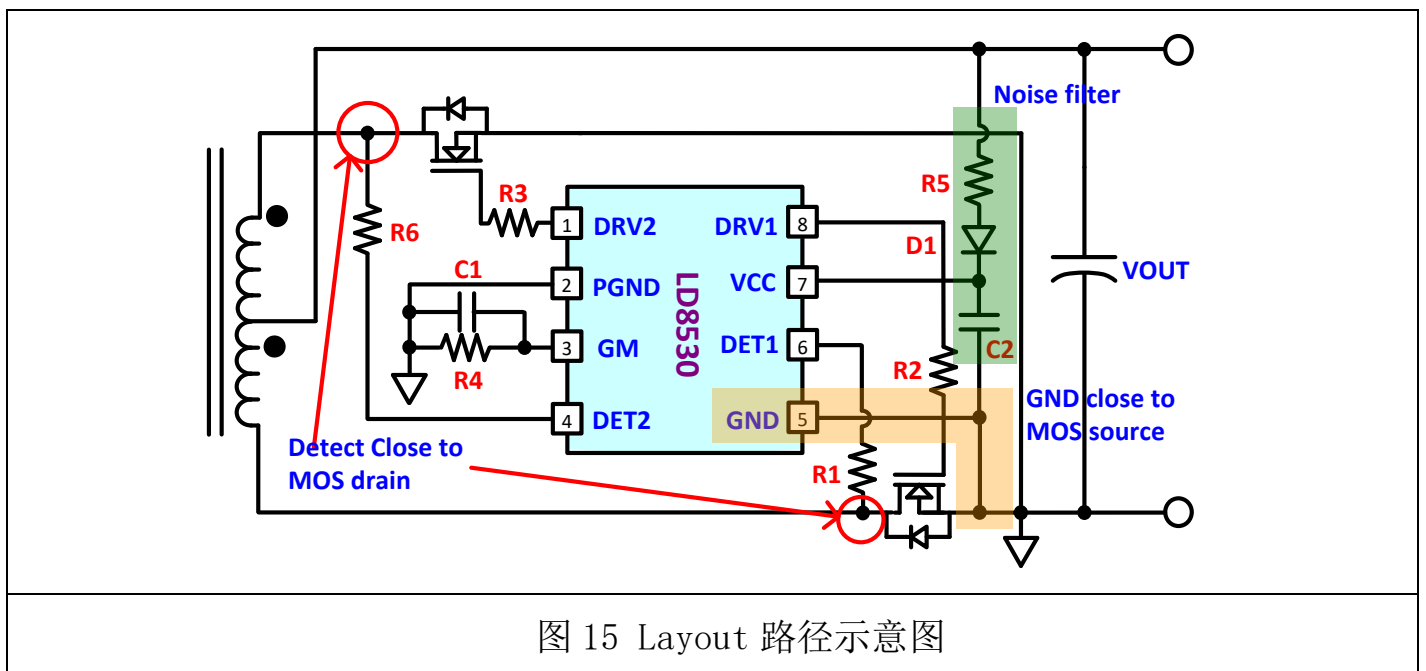


图 15 Layout 路径示意图

(7) 图 16 为 PCB layout 建议图, C2 滤波电容尽可能靠近 IC GND, 以提升滤波效果; 两组 MOSFET 的 power loop 需对称且越短越好, 并靠近输出电容, 以降低 PCB 寄生电感效应及两项电流不平衡情形; PGND(pin 2) 与 GND(pin 5) 在 IC 内部无相连, PCB layout 须确实连接.

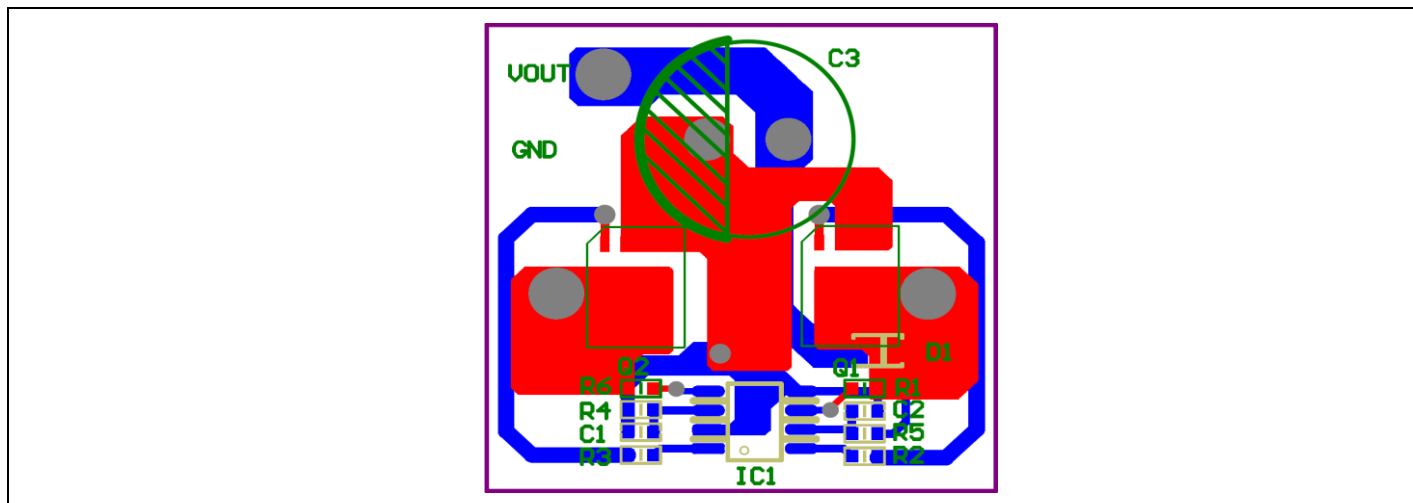


图 16 PCB layout 建议

(8) LD8530 外围组件建议使用值如表 3。

	Min.	Suggest	Max.	Unit	Remark
C1	100		470	pF	依系统 noise 调整容值, 放置过大极轻载 SR 无法动作, 功耗大
R4	15k	100k	2M	$\Omega$	电阻越小, 间隔越短时间进 green mode, 功耗较小
R1, R6	100	1k	1.5k	$\Omega$	可依系统调整关断 level
R2, R3	0	2.2	10	$\Omega$	需评估 Conduction 与关断速度
R5	0	10	50	$\Omega$	依系统 ESD 特性跟 IC 温度做考虑, VOUT 超过 24V 应用建议使用辅绕或串 zener
D1		1N4148			串接 diode 可以加速开机 VCC 供电
C2	1	2.2	4.7	$\mu\text{F}$	建议 E-cap, 如采 MLCC 请注意 Vcc 电压与容值衰减关系

表 3. LD8530 外围组件建议使用值

### 3.8 LD8530 各 Pin 失效分析:

LD8530 各 pin 失效分析如表 4.1&4.2:

	脚位	名称	不良现象		
			(开路或无功能输出之失效情况下)		
LD8530 SOP-8	Pin1	DRV2	Pin1 floating	SR 不动作, 系统温度过高	
			Pin1 short to GND	SR 不动作, 系统温度过高	
			Pin1 and Pin2 short	SR 不动作, 系统温度过高	
	Pin2	PGND	Pin2 floating	DRV 驱动异常, 系统有炸机风险	
			Pin2 short to GND	SR 动作正常	
			Pin2 and Pin3 short	SR 不动作, 系统温度过高	
	Pin3	GM	Pin3 floating	SR 动作正常, 但无法进 green mode	
			Pin3 short to GND	SR 不动作, 系统温度过高	
			Pin3 and Pin4 short	IC damage	
	Pin4	DET2	Pin4 floating	SR 不动作, 系统温度过高	
			Pin4 short to GND	初级侧触发 OCP	
			Pin4 and Pin5 short	初级侧触发 OCP	
	Pin5	GND	Pin5 floating	DRV 驱动异常, 系统有炸机风险	
			Pin5 short to GND	NA	
			Pin5 and Pin6 short	初级侧触发 OCP	
	Pin6	DET1	Pin6 floating	SR 不动作, 系统温度过高	
			Pin6 short to GND	初级侧触发 OCP	
			Pin6 and Pin7 short	IC damage	
	表 4.1. LD8530 各 Pin 失效分析				

	脚位	名称	不良现象 (开路或无功能输出之失效情况下)	
			LD8530 SOP-8	Pin7
Pin7 short to GND	SR 不动作, 系统温度过高			
Pin7 and Pin8 short	DRV 驱动异常, 系统有炸机风险			
Pin8	DRV1	Pin8 floating		SR 不动作, 系统温度过高
		Pin8 short to GND		SR 不动作, 系统温度过高
		Pin8 and Pin1 short		初级侧触发 OCP

表 4.2. LD8530 各 Pin 失效分析

#### 4 通嘉 LLC 240W Demo Board 系统测试

LD7771 (LLC+PFC)+LD8530 (SR)

输出功率:24V/10A,

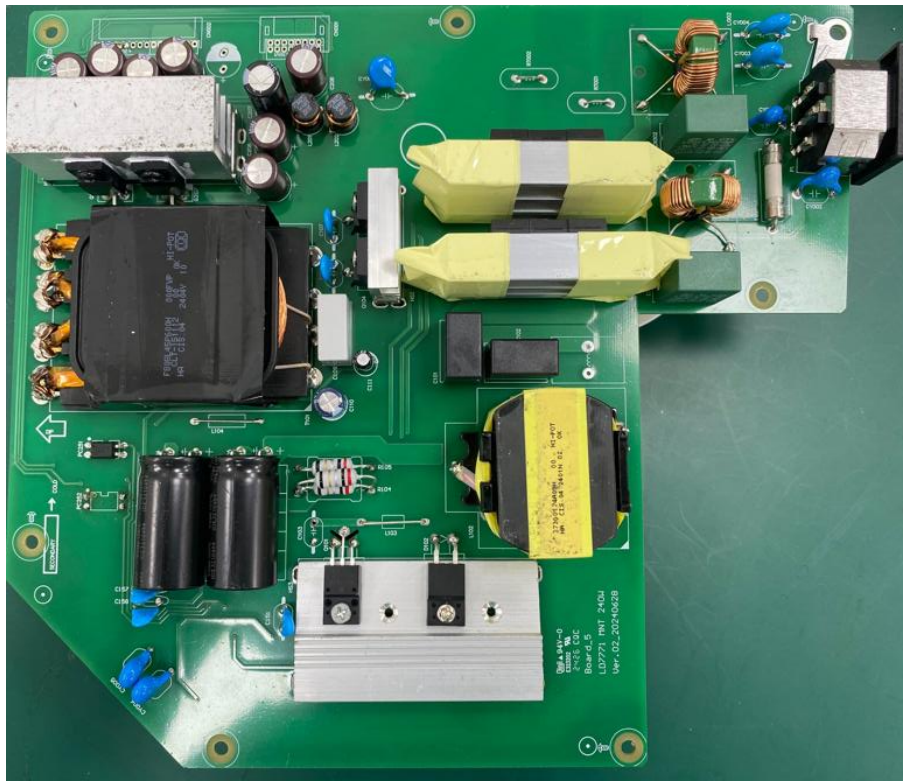


图 17 PD 240W 实体图

#### 待机功耗测试

$V_{IN, AC}$ ( V / Hz )	$P_{IN}$ ( mW )	Requirement ( mW )
115 / 60	40.7	< 75
230 / 50	58.2	

效率测试

Input Voltage	115 V <sub>AC</sub> / 60 Hz	230 V <sub>AC</sub> / 50 Hz
Output Current	100 %, 75 %, 50 %, 25 %, 10 % of Full Load	
Measured Point of Output Voltage	End of PCB	
Duration of Burn-in	30 Minutes	
Requirement	CoC Tier 2	

115Vac/60Hz	Pin(W)	Vo(V)	Io(A)	Po(W)	Efficiency	CoC-Tier2
100%	257.6	23.9430	10.005	239.550	92.99%	>89%
75%	192.9	23.9740	7.5011	179.831	93.23%	
50%	129.1	24.0040	5.0004	120.030	92.97%	
25%	66.2	24.0320	2.5001	60.082	90.76%	
					92.49%	
10%	28.21	24.0485	1.0009	24.070	85.32%	>79%
230Vac/50Hz	Pin(W)	Vo(V)	Io(A)	Po(W)	Efficiency	CoC-Tier2
100%	252.1	23.9380	10.002	239.428	94.97%	>89%
75%	189.4	23.9710	7.5008	179.802	94.93%	
50%	127.2	24.0015	5.0007	120.024	94.36%	
25%	65.5	24.0310	2.5001	60.080	91.73%	
					94.00%	
10%	27.8	24.0480	1.001	24.072	86.59%	>79%

通嘉科技发表针对 240W 系统开发的完整电源方案。在 115Vac 输入测试下，效率在 92.3%以上；在 230Vac 输入测试下效率在 94%以上，皆符合 CoC-Tier2 能效规范。更将待机功耗压低至 58.2 mW。除了大幅领先 CoC Tier 2 标准并符合欧盟 ErP 绿能规范外，其在全电压范围内的平均效率及 10% 轻载表现同样表现亮眼。本方案的核心竞争力源于通嘉创新的「侦测式同步整流技术」，并将其完美应用于 LLC 谐振转换控制器中，透过关键技术的深度整合，成功突破高功率应用的效能瓶颈。

