

混模型反馳電路技術突破與新型封裝展現高功率密度設計

作者：通嘉科技系統研發 許鴻廷/鄒明璋

参考文献：通嘉科技 LD9175GT2 規格書及其應用手冊

➤ 背景說明

通嘉科技(Leadtrend Tech. Corp.)推出新一代高整合度混合型 Quasi-Resonant (QR) 與 Continue Conduction Mode (CCM) 模式，適用於反馳(Flyback)架構，LD9175GT2 集成芯片為專門針對網通及適配器電源，採用通嘉自製新型 SPAK 封裝，其主要目的是強化被動散熱效能。解析其內部發熱的結構，可以分化為 2 個部分，

1. IC 控制器 (controller)：IC 本身操作溫度並不高，視操作電流大小而定。一般控制器電流最高可達 2mA~3mA，乘上操作電壓可計算其功耗。這個功耗在能量轉換過程中產生熱能。

2. 整合型 Power MOSFET：MOSFET 作為功率元件，主要產生兩類功率損失，導通損失與切換損失。低壓時 導通損失較高，取決於 MOSFET 的 $R_{DS(ON)}$ ；高壓時則切換損失占比較大。由於 MOSFET die 產生的熱能遠大於控制器 die，熱源集中於封裝內部，需透過熱固型樹脂(epoxy)封裝材料將熱能導出，以確保穩定散熱。當散熱不足時，IC 及 MOSFET 均可能因為溫度上升而進入異常操作區。尤其 MOSFET 過溫時， $R_{DS(ON)}$ 增加，導通損失隨之升高，導致 IC 溫度曲線呈正比上升，最終可能造成元件燒毀。若 IC 內建過溫度保護機制，可提前進入保護模式，避免異常故障。

封裝散熱結構的選擇目前常見的電源管理(Power Management, PM) IC 封裝包括 SOP-8 和 DIP-8 標準封裝，僅適用於小功率型電源。然而，由於被動散熱能力有限，不易滿足高功率應用需求。當功率增加時，需選擇更低 $R_{DS(ON)}$ 的 MOSFET，但其面積通常是一般的 1.5 ~ 2 倍，使得 SOP-8 和 DIP-8 標準封裝無法容納，進

而促使採用更大的封裝。

本案引入通嘉科技自研 SPAK-6L 私有封裝，其目的是整合控制芯片 (Controller) 與功率元件(MOSFET)，縮小封裝尺寸以提高系統功率密度。通嘉私有 SPAK-6L 主要應用於中功率系統設計，經過範例驗證，可適用於 48W 電源系統規格需求。其優缺點如下：

優點

1. 良好的散熱性能: SPAK-6L 封裝通常具有外露的散熱片(Exposed Pad)，有助於導熱，提高可靠性。
2. 空間適配性佳: 與較大封裝相比，尺寸較小，可適用於緊湊型 PCB layout。
3. 低寄生電感: 可提高開關切換效能並減少電磁干擾。
4. 易於焊接: SPAK-6L 採用表面黏貼技術(SMT)，易於工廠進行自動化生產與組裝。無論是單面板生產或是雙面板生產皆可以滿足。

缺點

功率限制: SPAK-6L 適用於中功率應用，但若散熱設計不足，仍可能影響整體功率輸出。

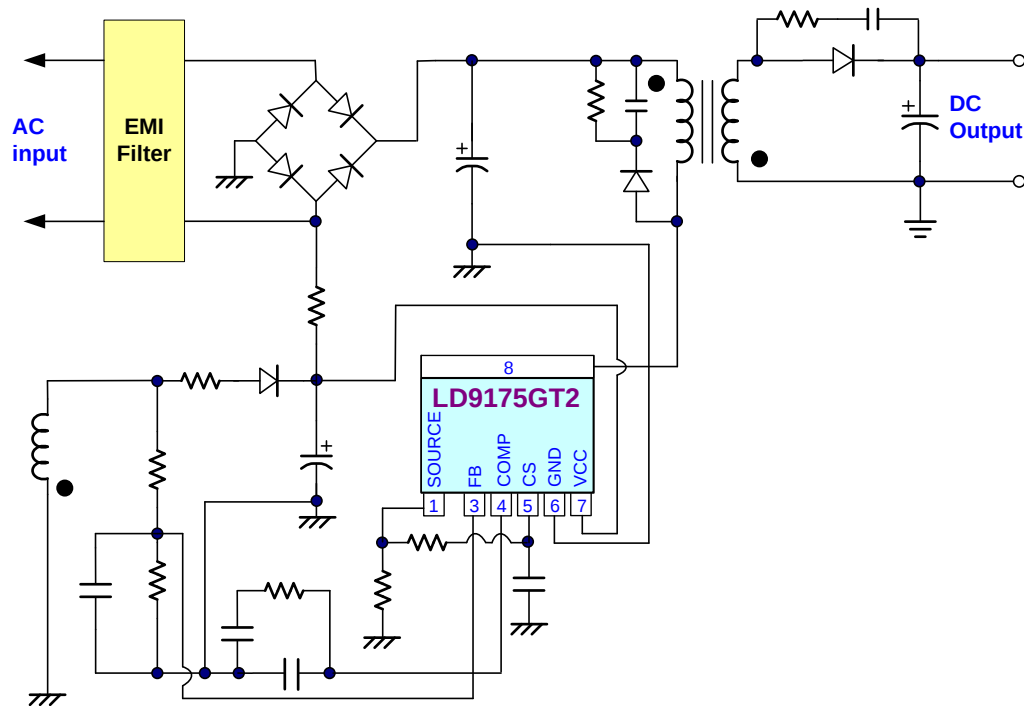


圖 1 通嘉科技 LD9175GT2 電路接線圖

- ◆ 超低啟動電流 < 1.5 μ A
- ◆ 准諧振(QR)及連續導通(CCM)混合控制模式
- ◆ 芯片供電(VCC)引腳 & 回授偵測(FB)引腳之過電壓保護功能
- ◆ 回授偵測(FB)引腳之開/短路保護功能
- ◆ 回授偵測(FB)引腳可調整切入/切出電壓準位
- ◆ 電流偵測(CS)引腳之短路保護功能
- ◆ 低輸入電壓紋波補償
- ◆ 外部過溫保護(CS_OTP, CS Over Temperature Protection)
- ◆ 二次側整流二極體短路保護(SDSP, Secondary Diode Short Protection)

說明:

◆ 低輸入電壓紋波補償

由於輸入線電壓不是穩定的直流電壓，而是隨交流頻率波動。當輸出處於重負載狀態時，谷底電壓的下降將更為明顯，且最低電壓值 會受到大電容容量公差影響。公差越大或交流頻率越低，輸入電壓谷值越低，導致 輸出紋波噪聲變得不穩定。因此，LD9175GT2 內建了低輸入電壓連波補償功能。如圖 2 所示，當開關導通時，系統利用 i_{FB} 電流做為輸入電壓變化訊息，在開關關閉時，則由回授偵測(FB)引腳提供額外的 $i_{FB_{LLRC}}$ (當 $i_{FB} < 96\mu A$)來補償輸入 Bulk 電容電壓(V_{bulk})谷值，當低壓線紋波噪聲變得明顯時，我們可以調整 R_a 來修正補償水平，降低紋波噪聲的峰對峰值。

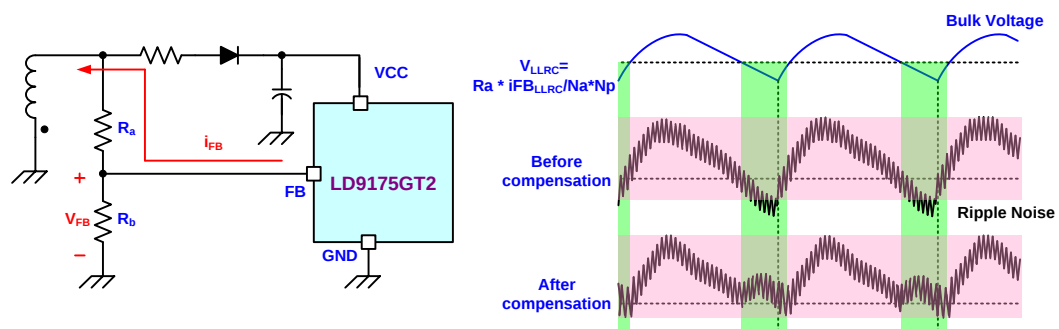


圖 2 低電壓紋波補償示意

◆ 外部過溫保護(CS_OTP, CS Over Temperature Protection)

COMBO IC 是一種整合集成型 IC，結合控制器與功率元件，但 除了控制器內建的過溫度保護功能外，無其他溫度監測機制。LD9175GT2 採用 SPAK-6L 封裝，其 Pin 引腳充足，因此特別將 Source Pin 與 CS Pin 分離，從而實現 CS_OTP (CS Pin 過溫度保護)機制。設計原理 CS 端過溫度保護的設計方式如下：從輔助繞組引入電壓，透過二極體整流(需要快速二極體)。經由 RNTC 及電阻分壓，將整流後的電壓輸入至 CS Pin(如圖 3)，偵測方式為 CS Pin 處於 off-time 時，監測其電壓是否高於 0.3V(如圖 4),若高於此預設值，則計數 5.4ms，隨後啟動保護機制。

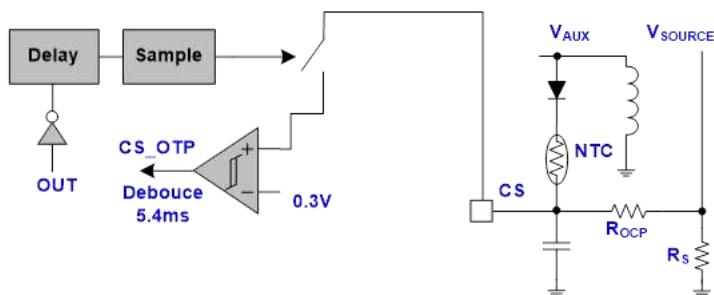


圖 3 CS_OTP 邏輯示意圖

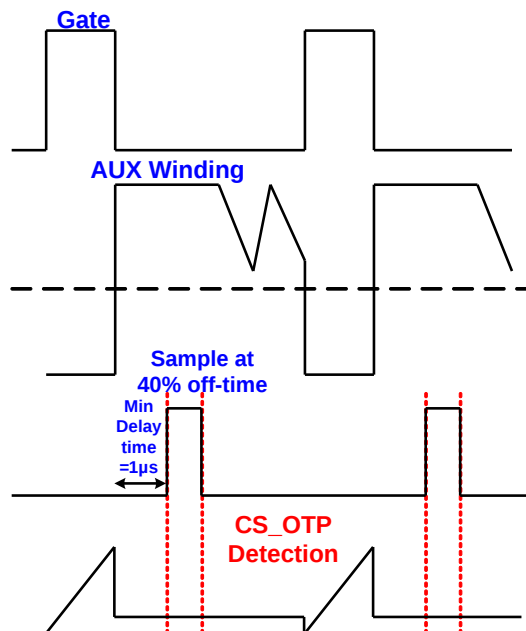
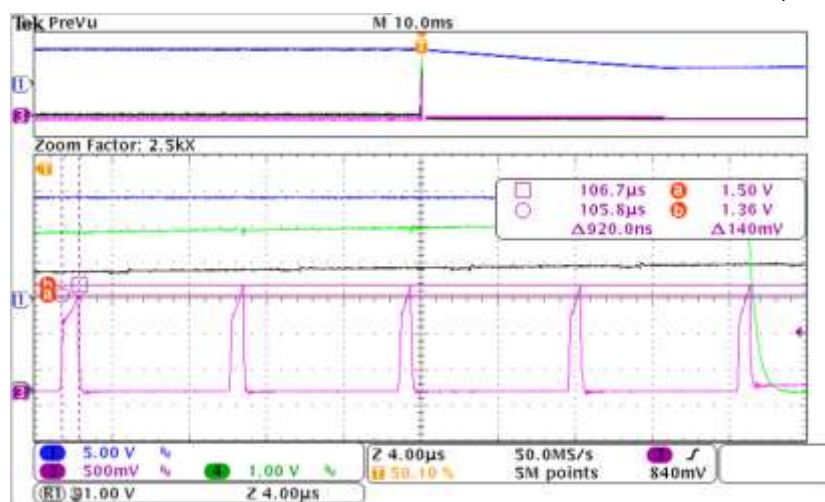
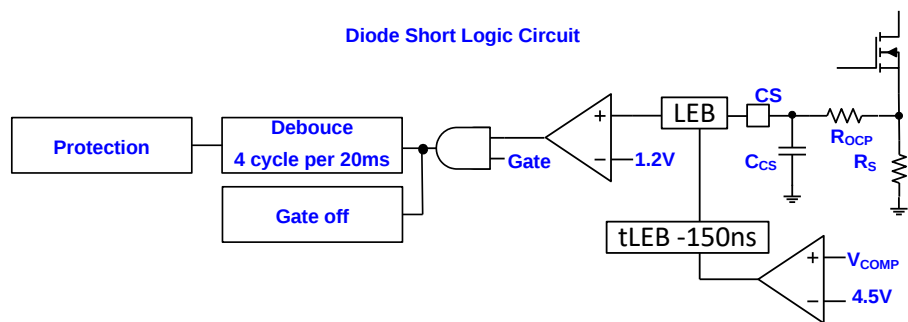


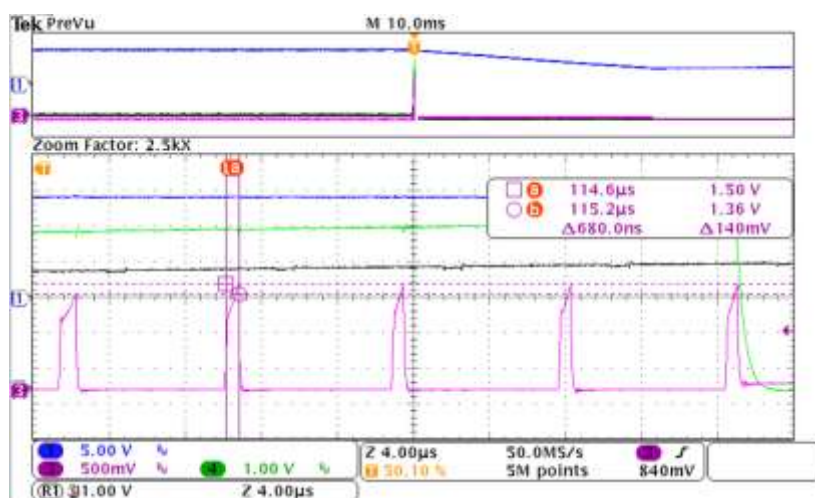
圖 4 FB 採樣位置

◆ 二次側二極體短路保護機制(SDSP，Secondary Diode Short Protection)

此保護機制的設計目標在於 簡化線路結構，減少外圍電路，以避免零件數量增加，同時確保簡化電路設計但不減少功能。保護條件當二次側二極體短路時，由於輸出電壓消失，一次側能量瞬間急速拉升，使得 V_{CS} peak 瞬間達到最大值，當輸出電壓為零， T_{dis} 放電緩慢， V_{CS} peak 無法降低，逐漸形成 deep CCM (Continue Current Mode) 狀態，此現象會使 V_{CS} 推波上升，最終形成磁飽和。SDSP 設置一電壓準位來偵測 V_{CS} peak 高度，當 V_{CS} 高於此位準時，系統會計數 4 個週期後進入保護模式，其邏輯判斷如下圖 5，現象依不同條件有所變化。若開機後帶載過程中發生二次側二極體短路時，COMP 電壓會呈現開迴路現象，此時系統會啟動額外的加強保護機制，即當 $V_{COMP} > V_{OLP}$ 時， t_{LEB} 還會縮減 150ns，以減少 LEB 時間內 CS 過衝的影響。



(264Vac/ 2nd Diode short) CH1:VCC CH3:V_{CS} CH4:V_{COMP}



LEB limit ($t_{LEB}=920\text{ns} \rightarrow 680\text{ns}$, basic -150ns + delay)

圖 5 邏輯和測試波形示意

➤ 功能應用說明-

● 高低線電壓偵測(High/Low Line detection)功能說明

LD9175GT2 內建高低壓偵測機制，主要是透過輔助繞組在 ton time 時產生的負壓 (如圖 6)，作為計算輸入電壓資訊的依據，當然，也可以透過反向計算獲得 R_{FB} 電阻的設定值。首先，設定預計之輸入電壓分界點，通常設置在 180Vac，接著以計算 $I_{FB}=220\mu A$ (表 1)，得出 R_a (R_{FB} 上偏電阻)的數值，得到 R_a 數值後也可以推測出 R_b (如圖 7)。

表 1

H/L Line Detection Current		
I_{FB}	I_{FB_H}	I_{FB_L}
Spec.	220 μA	200 μA

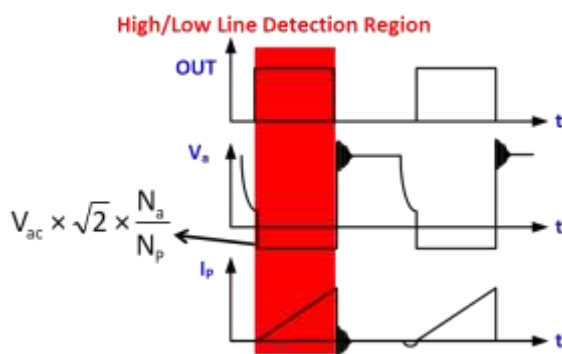


圖 6 I_{FB} current sample

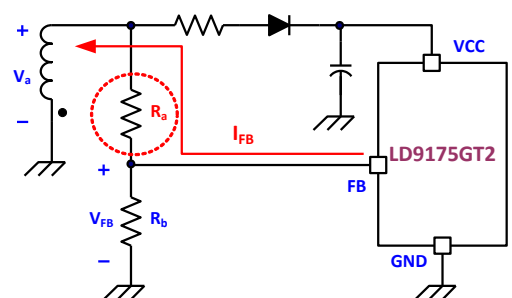


圖 7 R_{FB} & I_{FB} 示意

● 恆流 CCO(Constant Current Output)功能說明

CCO 恆流功能在此處是指恆定輸出電流控制機制，也就是說透過 IC 本身參考參數進行鎖定，以確保輸出電流的穩定性。在此過程中，電流輸出大小不受電感影響，而僅與變壓器圈數比及感測電阻大小有關 (如式 1)。其中， V_{CSM} 是指從二次側電流換算至一次側電流後所得數值(圖 8)，因此，將 V_{CSM} 與 T_{DIS} 跟 F_s 的倒數作乘積並設定為 ICC(setting ratio = 0.25)，以固定此值，即使外部電感如何變動，也不會影響此恆定計算值。(電感過小導致先觸發 CS limit 不在此限)。

$$\begin{aligned}
 I_O &= \frac{i_{S,M} \times T_{DIS}}{T_S} \\
 &= \frac{N_P}{N_S} \times i_{P,M} \times \frac{T_{DIS}}{T_S} \\
 &= \frac{N_P}{N_S} \times \frac{V_{CSM}}{R_{CS}} \times \frac{T_{DIS}}{T_S}
 \end{aligned}$$

$$\begin{aligned}
 I_O &= \frac{N_P}{N_S} \times \frac{V_{CSM}}{R_{CS}} \times \frac{T_{DIS}}{T_S} \\
 &= \frac{N_P}{N_S} \times \frac{I_{CC}}{R_{CS}}
 \end{aligned}$$

式 1 恆流計算公式

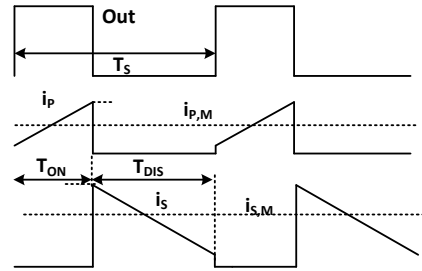


圖 8 i_p and i_s current

● 恆壓控制模式(Constant Voltage mode)功能說明

LD9175GT2 採用原邊控制，主要是透過輔助繞組反射輸出電壓，在 FB 腳進行偵測，透過通嘉專利專屬的偵測方式進行取樣，取樣的時機是在 off-time 時透過 RFB 分壓電阻設定恆壓參考電壓為 2V(誤差 $\pm 1\%$)，取樣電壓的位置依照負載大小分為 2 段式，重載取樣時為 44% ($V_{COMP} > 1.45V$)，輕載取樣時則為 33% ($V_{COMP} < 1.45V$) 如圖 9。

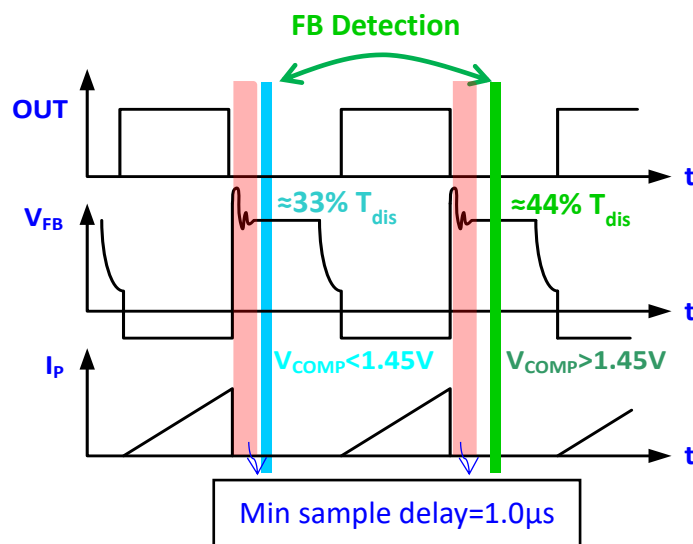


圖 9 FB 引腳採樣位置說明

● 線損補償(Cable loss compensation)功能說明

LD9175GT2 採用可調線損補償機制，透過調整 RFB 電阻大小(主要是 R_a ，上偏電阻)可以增加或是減少輸出電壓的補償量，其設計方式比例如圖 10 所示，其補償量與 OLP 呈現固定比例關係。如(式 2)。

$$I_{LC} = 9 \times \frac{I_{RATED}}{I_{OLP}} (\mu A) \quad \text{式 2}$$

其中

I_{RATED} 為輸出額定電流

I_{LC} 為計算線損補償的電流

I_{OLP} 為過載電流

設置 $I_{OLP}=130\% \sim 150\% \times I_{OLP}$ 給網通市場的產品

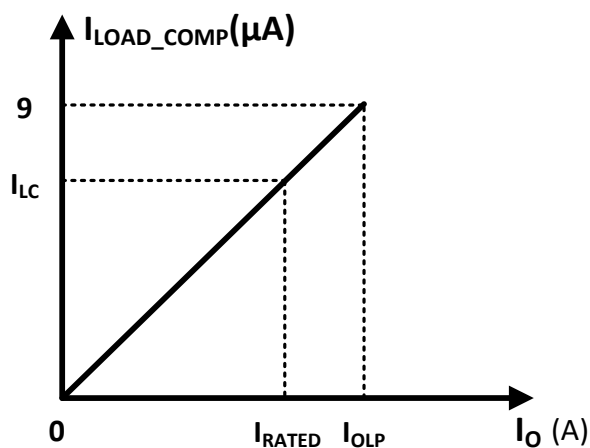


圖 10 I_{LC} VS I_{OLP}

計算補償電壓量則可以透過式 3 得到。

$$V_O = \left(V_{REF} + I_{LC} \times \left(\frac{R_a \times R_b}{R_a + R_b} \right) \right) \times \left(1 + \frac{R_a}{R_b} \right) \times \left(\frac{N_S}{N_a} \right) - V_F \quad \text{式 3}$$

➤ 系統設計範例說明 -

AC-DC PWM IC: LD9175GT2 + SR: LD8526U

PCB Size: 70mm(L) x 40mm(W) x 20mm(H)

Power Density: 14 W/inch³

額定功率 :48Watts，輸入電壓: 180Vac~264Vac，輸出功率: 24V/2A

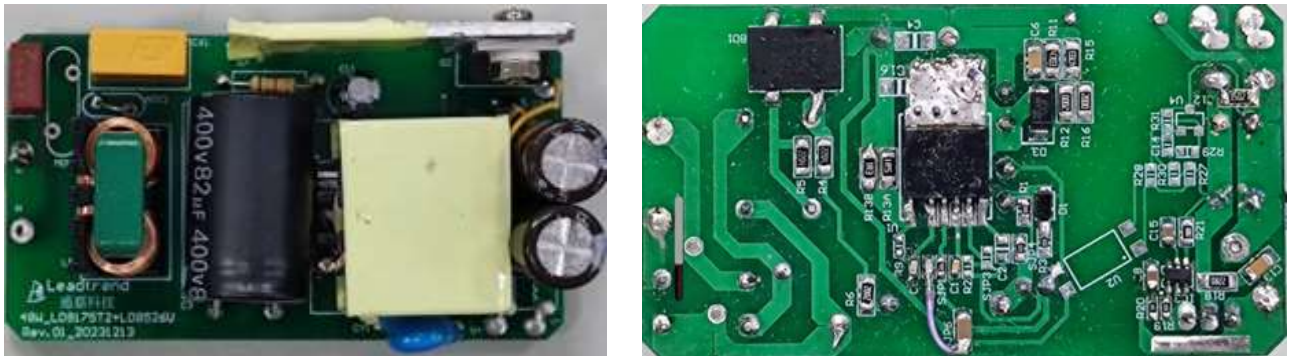


圖 11 典型設計 48Watts 電源板實體圖 (Top & Bottom View)

Step 1: 變壓器參數

此案為高壓項設計採用變壓器為PQ2219D，主要電感量為635μH，圈數55:14:9，
 $A_e = 75\text{mm}^2$

Step 2: 與CCO相關的RCS設計

$$R_{CS} = I_{CC} \times \frac{N_P}{N_S} \times \frac{1}{OCP} = 0.25 \times \frac{55}{14} \times \frac{1}{2 \times 130\%} = 0.377\Omega$$

通常OCP 為 Rated Io 130%~150%

Step 3: 確認VCS limit的餘量

$$V_{CSPK} = \frac{V_{in}}{L_m} \times t_{ON} \times R_{CS} = \frac{373}{635} \times 3 \times 0.377 = 0.664V$$

0.664V 大約是LD9175GT2 高壓設計限值的83%。

Step 4: RFB的設定(高低壓分量與參考電壓)

$$R_{FB_UP} = \frac{180 \times \sqrt{2} \times \frac{9}{55}}{220\mu A} = 189k\Omega$$

設定上偏電阻為常用的 180kΩ，則可以得到下偏電阻為 26.8kΩ，此項計算可以從先前的式 3 得到。

由於線損補償是隨 R_{FB_UP} 上升而增加，所以設定 R_{FB} 電阻後可以再依照需求進行微調整。

Note：如果需要加強線損補償可以減少 OCP 的倍率以換取更高的線損補償電流。

綜合上述前三項設計原則，即可以輕鬆的完成 LD9175GT2 應用電路的設定，此亦為本 IC 設計的重點目標，且多數功能皆為內建，無需繁瑣的電路計算，即可完成設計。

● PCB Layout Guideline

- 電流檢測電阻(R_s)路徑為大電流路徑，應單獨回大電容地，如橘線所示。
- 輔助繞組(Path1)可單獨回大電容地，如黑線所示，或經(Path2)通過 FB 電阻地和 COMP 環路的低電壓訊號的地返回 IC 地，同時注意避免天線效應，並使環路盡可能小，如桃紅色線所示。
- 緩衝電路需要縮短環路，並盡量避免靠近低壓環路，如藍線所示。
- 輔助繞組 D1 和 C1 所包圍的面積應盡可能小，而 VCC pin 到地建議並聯一顆高頻濾波電容 C2 (0.1 μ F 的陶瓷電容)，此電容可實現良好的去雜訊效果。VCC 電容的 GND 和大電容地之間的走線應盡可能寬且短，VCC 接地回到大電容接地，如綠線所示。

※Path1 應注意連接 common choke 後段連接，以避免 bypass 效應影響 FB 採樣。

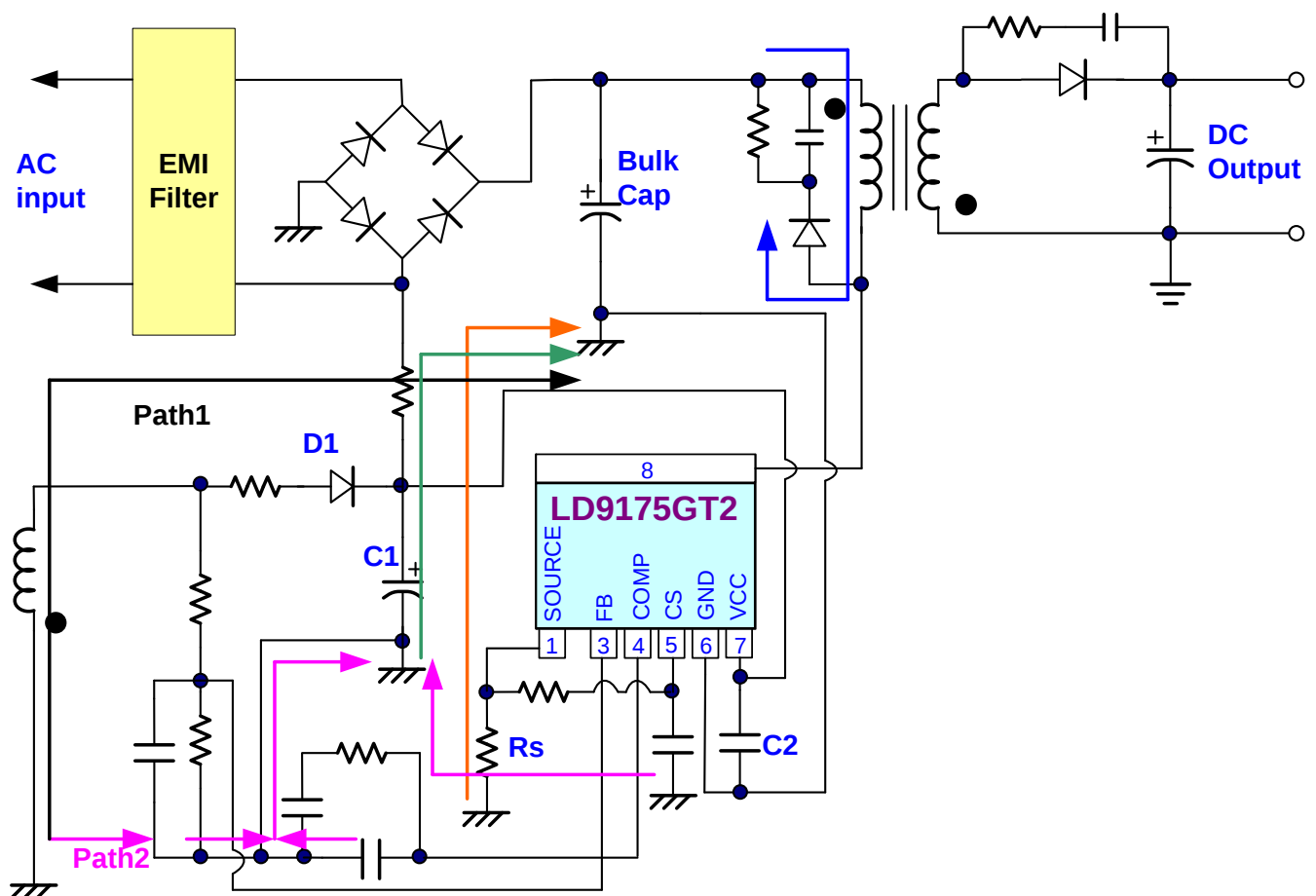


圖 12 PCB layout 建議

● 溫度測試

• PCB 板上散熱面積的建議

LD9175GT2 採用 SPAK-6L 的封裝，其散熱結構透過模擬得出以下參數，在此散熱面積下可以對應表 2 的數據。當散熱面積達 20mm*20mm 時， $R\theta_{ja}$ (w/o Via)=53 °C/W，在不同的 thermal pad 大小下，對應不同的 $R\theta_{ja}$ ，需要注意的是 PCB 規劃芯片散熱面積時，也應考量此面積數據，這些差異會直接影響 IC 溫度表現。因此當 thermal pad 面積相近可以套用接面溫度公式(junction temperature formula)計算出 IC 封裝表面(surface case) 溫度。

$R\theta_{ja}$ (°C/W)是指接面至環溫(junction to ambient)的熱阻，是將損耗瓦數轉換為溫度的係數，並且取決於封裝、電路板和系統特性而有所不同，若模擬條件改變則對應數據也會不同。如表 2 所示,依照不同尺寸的散熱面(thermal pad)進行模擬，其中也包括是否帶有 PCB 通孔(Via)，並依照設定的損耗功率進行模擬，最後獲得對應的 $R\theta_{ja}$ 。

表 2 $R\theta_{ja}$ 熱阻與散熱面(Thermal Pad)尺寸建議

PKG: SPAK-6L	EP Pad size	Thermal Pad size	$R\theta_{ja}$ (w/ via)	$R\theta_{ja}$ (w/o via)
Conditions: Die power=1.5W Ta=20.4°C/W	8.15*5.6 (mm ²)	20mm*20mm	38 °C/W	53 °C/W
		25mm*25mm	36 °C/W	51 °C/W
		30mm*30mm	34 °C/W	48 °C/W

如下圖 13、14 為模擬時建置的模型，與實際進行溫度量測確認時的測試板。

如下圖 15 為結合系統進行 48W 溫度量測的紅外線量測圖，此溫度結果為 96.9℃，可對照溫度計算表表 3 的 IC Case Temperature 為 98℃，數據對比下其結果相當接近。這是因為表 3 計算的 Pd_total loss 1.48W 與模擬採用的 Pd_loss=1.5W 接近，因此顯示若計算誤差越小，則實體量測數據會越接近。圖 16 為新型 SPAK-6L 外觀。

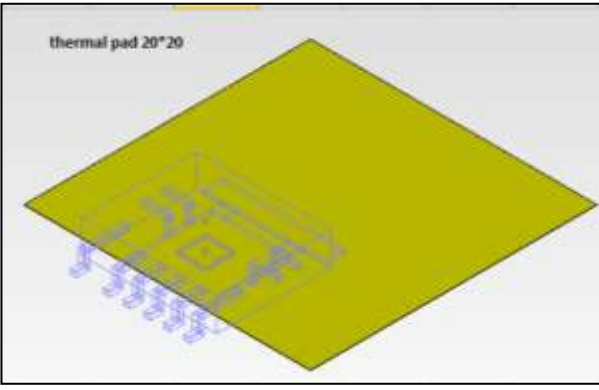
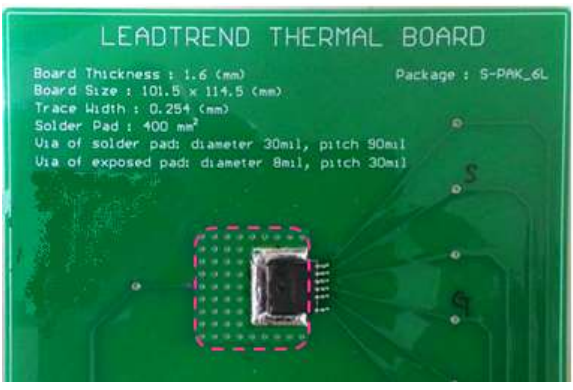
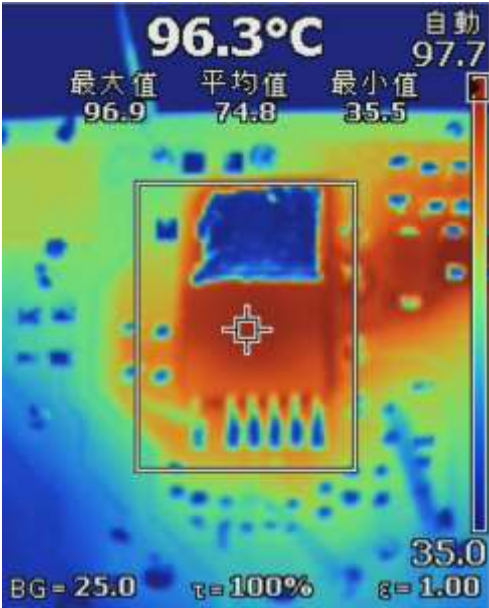
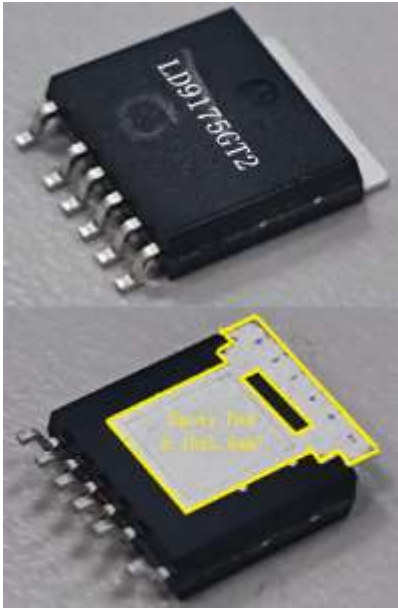
	
圖 13 thermal pad simulation	圖 14 thermal board test
	
圖 15 Measured real case temperature @230Vac/2A/60mins	圖 16 SPAK-6L Top & Bottom EP Pad View

表 3

<i>Input / Output Characteristic</i>				
<i>Item</i>	<i>Symbol</i>	<i>Value</i>	<i>Unit</i>	
AC Input Range	Vac_min	230	V	
	Vac_max	264		
AC Frequency	<i>fac</i>	60	Hz	
Min Input Voltage (Bulk DC Voltage)	Vin_min	325	Vdc	
Output Voltage	Vo	24	V	
Forward Voltage on Output Diode	VF	0.2	V	
Expect Load Compensation	V_LC	0.2	V	
Output Rated Current	Io	2	A	
Supposed Efficiency	Eff	88	%	
Output Power	Po	48.80	W	
Input Power	Pin	55.45	W	
Min Input Capacitor (Bulk Cap)	Cin	97.60	uF	
Max Limit Frequency	Fsw	65.00	kHz	

<i>Design Transformer Inductor & Turn Ratio, and consider the operating conditions</i>				
<i>Item</i>	<i>Symbol</i>	<i>Value</i>	<i>Unit</i>	
Max Duty	set Dmax	0.195	A	
stimated Primary Peak Current	Ip	1.746		
Estimated Lp(boundary)	Lp	0.560		
Real Design Inductance	set Lp	560	uH	
re-cal Max Duty (Dmax)	re-cal Dmax	0.195	A	
re-cal Δip (Primary Peak Current)	re-cal Δip	1.746		
Ip_max (Primary Peak Current)	Ip_max	1.746		
Effective Area of Core	set Ae	82	mm ²	
Flux Density (100% Load)	set Bm	0.390	Tesla	
Primary Winding	Cal. Np	30.566	Ts	
Real Design Primary Winding	set Np	44.0	Ts	
Secondary Winding	Cal. Ns	13.484	Ts	
Real Design Secondary Winding	Set Ns	9	Ts	
re-cal Bm (Flux Density (100% Load))	re-cal Bm	0.271	Tesla	
Set Vaux	Set Vaux	12	V	
Aux Winding	Cal. Naux	4.54	Ts	
Real Design Aux Winding	Set Naux	6.00	Ts	
re-cal Vaux	re-cal Vaux	15.933	V	
Irms	Irms	0.445	A	

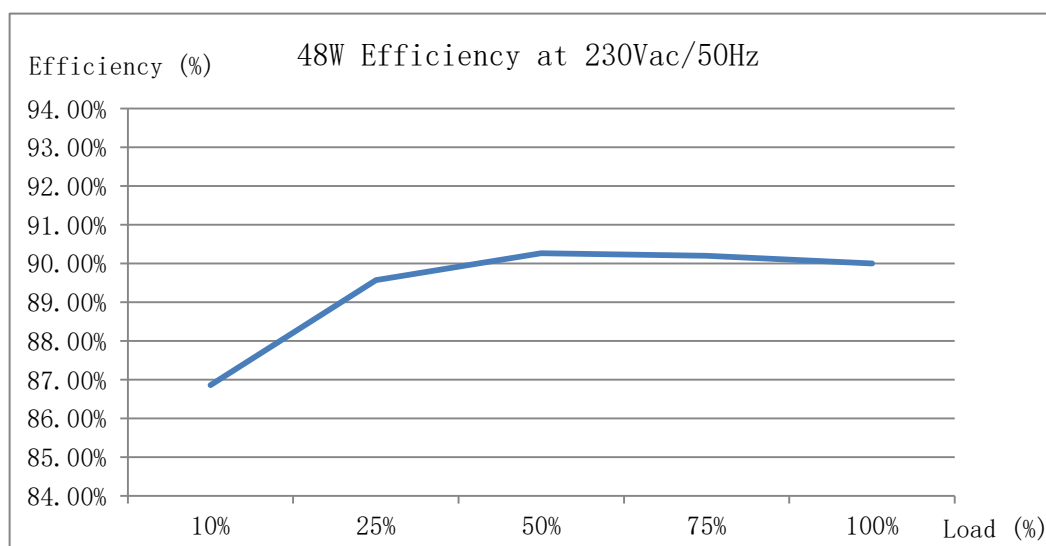
PSR MOSFET COMBO Power loss			
Item	Symbol	Value	Unit
MOSFET Drain to Source Voltage(QR valley voltage)	V_{DS}	207	V
Input Capacitance of Selected MOSFET (Cgd+Cgs)	C_{iss}	214.0	pF
Output Capacitance of Selected MOSFET (Cgd+Cds)	C_{oss}	166.0	pF
Reverse Transfer Capacitance of Selected MOSFET (=Cgd)	C_{rss}	1.40	pF
MOSFET Total Gate Charge (nC)	$Q_{g(total)}$	2.6	nC
MOSFET switching Gate Charge (nC)	Q_{SW}	2.568	nC
Gate driver source current	Source	15	mA
Gate driver sink current	Sink	150	mA
MOSFET Gate driver voltage	VGS	12.0	V
Operating Current	ICC_OP	2.20	mA
System Operating Frequency	Fsw(max)	65.0	kHz
Drain to Source On-Resistance	RDS(ON) @100°C (120%)	2.100	Ω
Estimated MOSFET Pgs Losses	$N_{FET Pgs}$	0.002	W
Estimated MOSFET Pds Losses	$N_{FET Pds}$	0.231	W
Total MOSFET Driver Power Losses	Ploss_MOS_drive	0.233	W
Drain to Source current (Ipk)	Ipk	1.746	A
Drain to Source current (Irms)	Irms	0.445	A
Conduction Losses	Ploss_MOS_con	0.417	W
Switching Losses (turn on)	Ploss_MOS_swon	0.603	W
Switching Losses (turn off)	Ploss_MOS_swoff	0.201	W
IC Operating Losses	Ploss_IC_OP	0.026	W
Total power dissipation	Pd_total	1.480	W
Calculated Measured IC Case Temperature	Tc	98	°C
Maximum Junction Temperature Tjmax limit spec	Tjmax	150	°C
Ambient Temperature	Ta	25.0	°C
Thermal Resistance Junction to Ambient	Rthja	53.0	°C/W
Thermal Resistance Junction to Case	Rthjc	3.50	°C/W
Junction Temperature should not exceed Tjmax by Ta	Tj	103.43	°C
Junction Temperature should not exceed Tjmax by Tc	Tj	103.18	°C

● 效率測試

Input Voltage/Power	230 V _{AC} / 50 Hz /48 Watts
Output Current	100 %, 75 %, 50 %, 25 %, 10 % of Full Load
Measured Point of Output Voltage	End of PCB
Duration of Burn-in	30 Minutes
Requirement	CoC Tier2

48W 效率測試數據如下曲線圖，4 點平均效率約 90.01% > 88.97%，符合 CoC tier2 效率要求規範，且滿載效率 89.996%，從試算表計算數值可知主要損耗為切換損，且高於導通損僅 0.2W，符合高壓效率測試的狀況(若為低壓效率計算，則導通損會高於切換損)，而效率損失是切換損與導通損的總和，損失功率會轉換成熱能導出，如果散熱不佳，則會使 COMBO 的 MOSFET 導通阻抗因積熱上升，在 IC 內部形成熱損失的發散結果。

若在效率曲線圖上看到滿載效率遠低於其他 3 點效率。此時需要重新確認 EP Pad 對應的 thermal pad 散熱面積是否符合(表 2),才可以正確利用其 R_{θja} 進行溫度的計算與確認。



48W 效率測試數據

VIN,AC	Load	VOUT	IOUT	POUT	PIN	η	η_{AV} , 4-Points	Requirement CoC tier2
(V / Hz)		(V)	(A)	(W)	(W)	(%)	(%)	(%)
230 / 50	100%	24.227	2.000	48.454	53.840	89.996	90.01	Avg.>88.97
	75%	24.124	1.500	36.186	40.120	90.194		
	50%	23.992	1.000	23.992	26.580	90.263		
	25%	23.968	0.500	11.984	13.380	89.567		
	10%	23.764	0.200	4.753	5.472	86.857		10% Load >77.77

● 結論

通嘉科技之LD9175GT2設計48W 24V/2A 應用於網通產品，透過集成工藝整合高功率MOSFET及PWM Controller實現高功率產品小型化，採用通嘉自研新型SPAK-6L封裝，可達到快速散熱，有效解決內部積熱問題，減少系統元件，並提高效率。其4點平均效率符合歐盟CoC tier2規範，最佳化設計的操作頻率曲線(fsw curve)提升極輕載效率高達至86.857% @10% Load，並搭配設計之試算表,提供即時功率換算及芯片表面溫度演算，結算各點損耗數據利於進行分析。LD9175GT2 具備內建豐富保護功能,且系統元件設計簡便快速，能降低系統零件數量，同時滿足高功率、高效率的高性能產品。

