

通嘉科技基于高频氮化镓之高效率 LD5766E/E1 與 LD8528U3 混和返驰式 电源转换器设计

作者:通嘉科技 SE 何承宗/邹明璋

参考文献:LD5766E/E1 與 LD8528U3, 应用手册及 IC 规格书

1. 通嘉 PD 快充 for LD5766x/LD8528U3 混合返驰式电源转换器设计背景说明

随着(USB Power Delivery, USB PD) 技术的广泛应用, 以及市场对电源供应器功率密度与转换效率的持续追求, 传统硅基 (Si-based) 功率组件在性能上已遭遇瓶颈。氮化镓 (Gallium Nitride, GaN) 组件因其高频开关特性、低导通电阻及小尺寸等优势, 成为新一代高效能电源转换的关键。然而, 充分发挥 GaN 组件的潜力, 需要精密的控制电路 (IC) 进行高效驱动与智能管理。通嘉科技 (Leadtrend Technology Corp.) 针对此趋势, 推出了初级侧 PWM 控制器 LD5766E/E1 与次级侧同步整流控制器 LD8528U3, 两者协同运作, 为工程师开发新世代高效能、小型化 PD 电源适配器提供了强大的解决方案。

● LD5766E/E1: 专为 GaN 驱动优化的先进准谐振 PWM 控制器

LD5766E/E1 是一款针对 GaN 功率组件驱动优化而设计的高效能准谐振 (Quasi-Resonant, QR) 谷底切换 PWM 控制器 IC, 采用 SOP-8 封装。其设计旨在最大化系统效率、提升功率密度、直驱精简电路及增强整体可靠性, 同时确保产品符合如美国能源部 (US DOE Level VI) 和欧盟 (EU CoC Tier-2) 等严苛的国际能效法规与安规标准。

准谐振 (QR) 模式: 在重载条件下, LD5766E/E1 运作于高频准谐振模式。IC 透过侦测变压器辅助绕组的电压波形, 精确判断功率开关下次导通的最佳谷底点, 实现谷底切换 (Valley Switching), 从而显着降低 GaN 功率组件的开关损耗。

非连续导通模式 (DCM) 与突发模式 (Burst Mode): 随负载降低, IC 自动转换至 DCM 并降低开关频率, 以减少轻载下的开关损耗。在极轻载或空载时, 则进一步进入突发模式, 透过间歇性工作将待机功耗降至最低。LD5766E/E1 具备依据不同输出电压自动调整突发模式触发位准的能力, 进一步优化了宽电压输出范围内的节能表现。

高耐压 VCC 引脚: LD5766E/E1 的 VCC 供电引脚耐压高达 83V。在 PD 应用中, 即使输出电压在高位 (如 20V), 辅助绕组经整流滤波后的电压亦可直接为 VCC 供电, 无需额外的低压差线性稳压器 (LDO), 有效减少了外部组件数量、物料列表 (BOM) 成本及电路复杂度。

专利 VGS Driving compensation(for LD5766E1): E-Mode GaN 组件对栅极电压 VGS 有严格要求。在初级侧低位电流感测中, 感测电阻(RCS)上的电压 VCS 会随电流增加而升高, 导致实际 VGS (VOUT-VCS)下降, 可能损坏 GaN。LD5766E1 透过 VGS 驱动补偿技术解决此问题: 它侦测 VCS 并动态提升驱动电压。这能确保 VGS 位准, 维持 GaN

RDS_ON 在工作区间, 不易改变做高效运作。

专利精准过电流保护 (OCP): 在返驰式 (Flyback) 转换器中, 输入电压和输出电压的变动会影响初级侧峰值电流与实际输出电流的关联性, 实现全工况下精确一致的过电流保护极具挑战。通嘉科技的专利技术使 LD5766E/E1 在不同输入及输出电压条件下, 均能实现高度一致的输出过电流保护点。此特性对于需符合限制功率源 (Limited Power Source, LPS) 安全规范的 PD 适配器至关重要, 确保了产品在各种工作状态下的安全性与可靠性。

- **LD8528U3:** 高效能二次侧同步整流控制器, 可操作于高频应用、优化系统能效与稳定性

为响应日益严格的能效法规 (DOE Level VI, EU CoC Tier-2), 以功率 MOSFET 取代传统肖特基二极管进行同步整流已成为提升电源供应器效率的标准做法。通嘉科技 LD8528U3 即为此类应用设计的高性能二次侧同步整流 (SR) 控制器, 适用于返驰式转换器, 透过精准控制 SR MOSFET 的开关时序, 大幅降低次级侧整流损耗。

LD8528U3 侦测功率 MOSFET 的汲极 (Drain) 电压, 并可通过外部电阻调整来优化驱动控制信号, 以优化系统效率。其内建的快速关断机制, 使其能广泛适用于包含准谐振 (QR) 与连续导通模式 (CCM) 在内的混合型操作模式。

LD8528U3 核心研发与优化特性:

精密的损耗控制与效率提升:

0A 关断机制: 在 DCM 操作下, 确保 SR MOSFET 在电流降至零安培时才关断, 避免电流逆向流入 MOSFET 寄生二极管, 减少额外损耗并优化效率。

低工作电流: 优化 IC 内部功耗与操作电流, 提升轻载效率, 并在重载时减少内部 LDO 的供电需求, 降低 IC 单体温度。

快速导通与驱动: 导通延迟 (Turn-on delay) 缩短至 40ns(可支持<250kHz 以下应用), 源极驱动电流 (Source current) 增强至 1A, 有效缩短 SR MOSFET 的开启时间 (DRV rising time), 降低导通损耗。

优化的关断控制: 加快闸极预降压 (DRV pre-drop) 速度, 确保 SR MOSFET 在 0A 精准关断, 同时降低 Idet_off 电流, 提升效率并防止系统在 QR 模式下发生误导通。

LDO 电源管理与 IC 温控:

整合式 LDO 与自供电: 内建低压差线性稳压器 (LDO), 可直接由 SR MOSFET 的汲极电压为 IC 供电, 无需额外辅助电源组件, 实现设计精简并节省成本。

双路 LDO 充电与稳定性: LDO 采用 HVR(高压) 与 DET(侦测) 双路充电设计, 确保在瞬态过程中能快速且稳定地为 IC VCC 充电。即使系统输出短路, 极短的脉冲供电也能使 VCC 维持在欠压锁定导通电压 (UVLO_ON) 之上, 保障 SR 功能持续正常运作。

QR 谐振区 LDO 充电: 在 DCM QR 谐振期间, SR MOSFET 汲极电压相较于初级侧导通时为低。LD8528U3 特意选择在 QR 谐振谷点区间进行 LDO 充电, 进一

步降低功率损耗并优化 IC 工作温度。

增强的系统稳定性与保护：

VCC 耐压提升： VCC 额定电压提高至 14V，增强了 IC 对浪涌 (Surge) 及静电放电 (ESD) 的耐受能力。

最小导通时间保护： 当次级侧导通时间小于 1.2μs 时，将强制关断同步整流。此机制可避免在系统关机等特殊情况下，因次级侧导通时间过短（小于 SR 最小导通时间）而可能导致初、次级侧短路风险。

LD5766E/E1 与 LD8528U3 的组合为 PD 电源适配器设计带来了显着的系统级优势：

初级侧高效驱动： LD5766E/E1 凭借其对 GaN 组件的优化控制、多模式高效运作及精准保护机制，为系统提供了稳定且高效的初级功率转换。

次级侧损耗最小化： LD8528U3 透过其快速响应、精密的 0A 关断、智能的 LDO 管理以及针对 QR 模式优化的充电策略，最大限度地降低了次级侧的整流损耗和 IC 自身功耗。

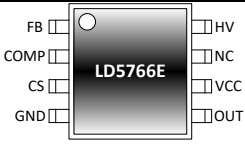
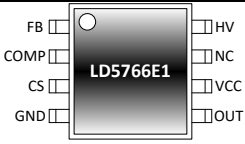
两者结合，不仅使电源系统能够轻松满足最新的能效标准，更在高频化、小型化的趋势下，实现了更高的整体转换效率、更优的热性能以及更强的系统稳定性与可靠性。

通嘉 PD 控制器对应氮化镓(GaN)方案如表 1:

LD5766E:驱动电压 11.5V 驱动耗尽型(D-Mode) GaN MOS

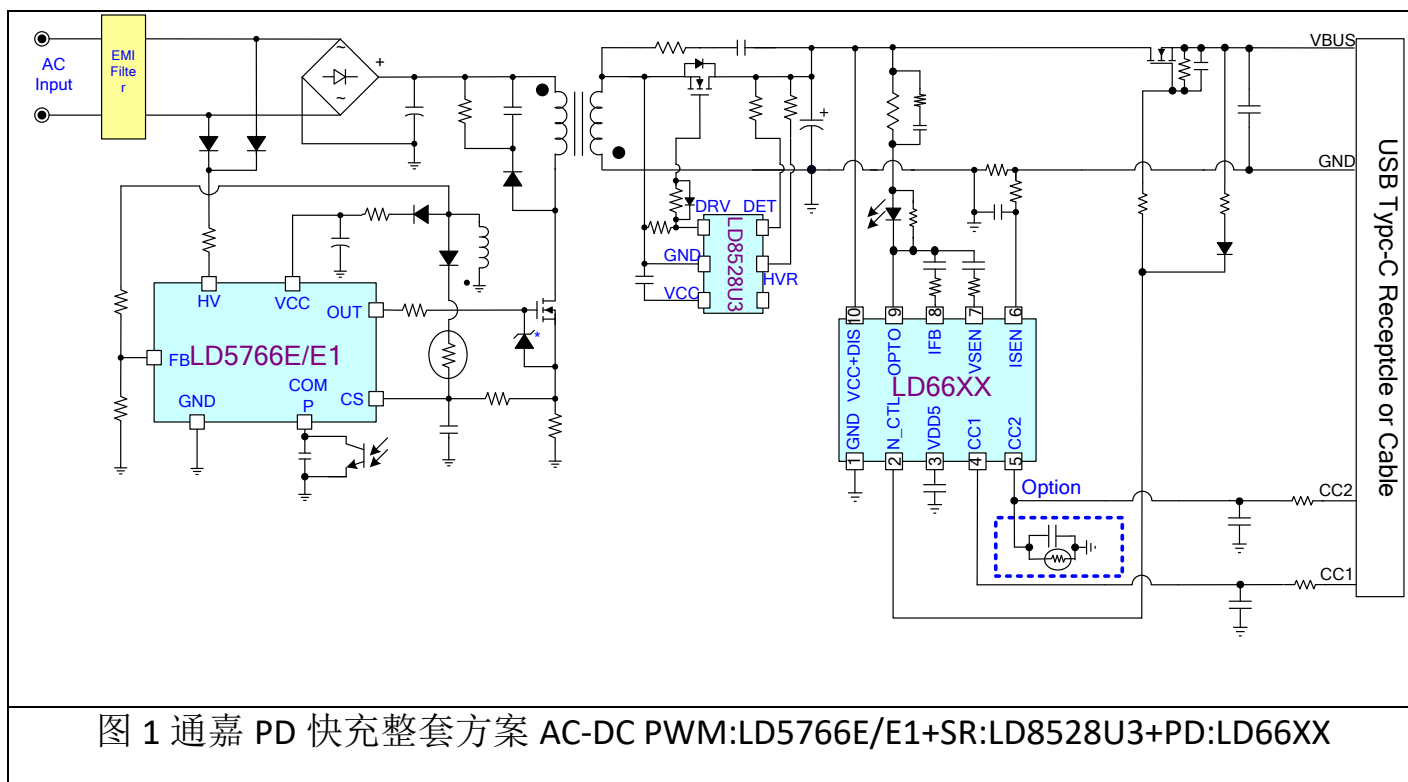
LD5766E1:驱动电压 5.8V 驱动增强型(E-Mode) GaN MOS，可节省驱动降压电路

研发人员可依据 GaN 选型选用合适驱动电压

Name	LD5766E	LD5766E1
Package	HV SOP-8	HV SOP-8
		
Topology	返驰式控制器	返驰式控制器
Control Mode	Quasi-resonance (准谐振) Fmax=227kHz	Quasi-resonance (准谐振) Fmax=227kHz
OUT Pin	LD5766E:11.5V	LD5766E1:5.8V
OCP	Doff-Vcs curve	Doff-Vcs curve
VCC Rating	83V	83V
Ext. OTP	Function by CS Pin	Function by CS Pin
表 1 LD5766E/E1 相关功能比较		

通嘉 PD 快充电路图说明

图 1: AC-DC PWM:LD5766E/E1+SR:LD8528U3+PD:LD66XX



2. 通嘉 LD5766E/E1 (Flyback for GaN)+ LD8528U3(SR IC) 技术特点说明

- LD5766E/E1 内含多条降频曲线:优化各组输出电压效率、降低输出纹波,并适用于 PD3.0 PPS 应用
- VCC Pin 最大电压=83V: VCC 电路精简,使 PD 应用可节省 Vcc LDO 组件(约四颗组件)
- LD5766E/E1, QR 搭配最高频率 227kHz 模式: 高效率及电源小型化设计,并搭配 LD8528U3 SR 工作高频组合搭配。
- 传导优化:LD5766E/E1,导通时间抖频(Ton Jitter)补偿技术及,优化系统于 QR 操作时 LC 谐振造成传导 400k-800k 的频段。
- GaN 驱动线路: For E-Mode(LD5766E1, 含 VGS Driving compensation), For D-Mode(LD5766E)。
- LD8528U3 采用新一代先进制程实现低耗电技术,降低操作电压,并减少动态/静态功耗。
- LD8528U3 缩短岛通延迟时间至 40ns,并提高 source current,以降低二次侧电流流经寄生二极管的时间,从而提升系统效率。
- 专利技术: QR 谐振期间进行自供电取电动作: 优化 Flyback 搭配同步整流应用效率,在 PD 65W 系统输出 20V/3.25A,使 IC 单体温度降低 5°C 以上。

LD5766E/E1 电路功能说明如图 2 及 IC Pin 脚功能应用说明如表 2

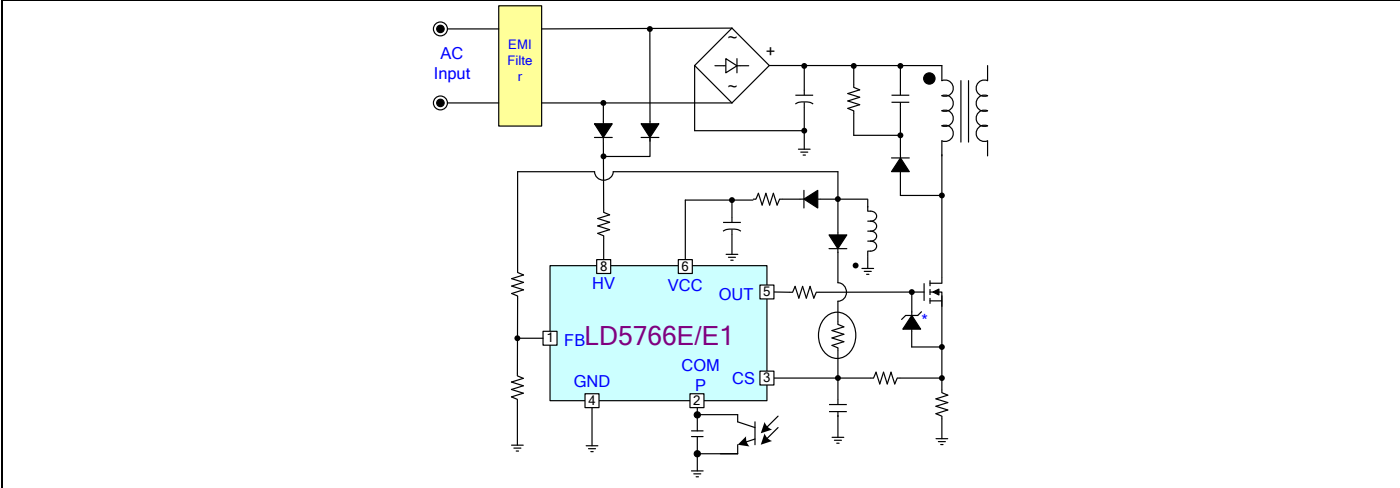


图 2 LD5766E/E1 电路功能说明

Pin	NAME	应用说明
1	FB	侦测辅助电压对应输出电压使 IC 内部调整降频曲线,OCP,OTP, QR 侦测, FB UVP, FB OVP
2	COMP	与二次侧光藕电路连接进行系统回授控制
3	CS	输出过电流检测(OCP)及过温度保护(OTP)
4	GND	Ground
5	OUT	Clamping Voltage LD5766E=11.5V, LD5766E1=5.8V
6	VCC	Vcc_ON=16V, Vcc_off=8.5V,Holding mode=9.5V, OVP=80V
8	HV	AC Brown in/out, 侦测 AC High/Low line

表 2 LD5766E/E1 Pin 脚功能应用说明

LD8528U3 电路功能说明如图 3 及 IC Pin 脚功能应用说明如表 3

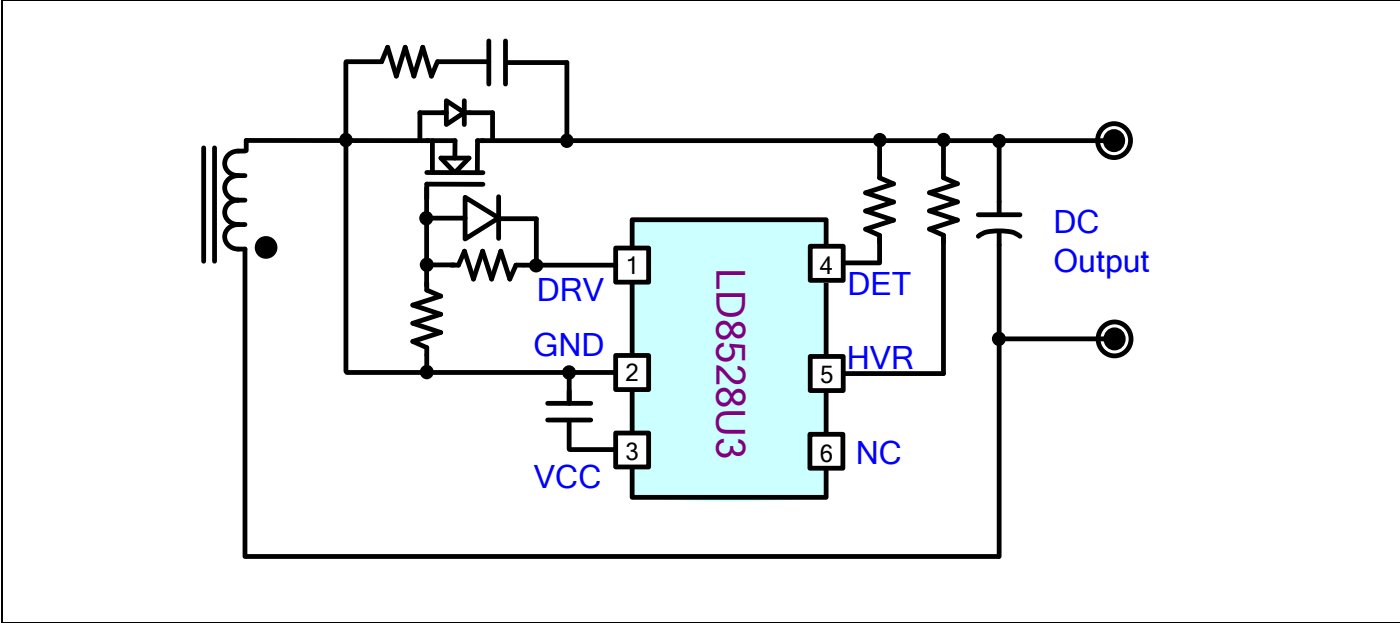


图 3 LD8528U3 电路功能说明

Pin	NAME	应用说明
1	HVR	HVR 供电, LDO.
2	GND	Ground
3	NC	No connect
4	VCC	Vcc_ON=3.4V, Vcc_off=3.3V
5	DRV	VDRV_H=9V
6	DET	Synchronous rectification detection

表 3 LD8528U3 Pin 脚功能应用说明

3. LD5766E/E1 for GaN 应用设计重点说明

3.1 VGS Driving compensation(for LD5766E1,如图 4.图 5.表 4 说明): E-Mode GaN 组件对其栅极驱动电压 VGS 有严格要求 (典型值如 5.6V 至 6.2V)。在使用初级侧、低位电流感测 (Primary-side low-side current sensing) 架构时,流经感测电阻 RCS 的初级电流 IL 会产生感测电压 VCS ($VCS = I_L \times RCS$)。此 VCS 会抬升 GaN 源极 (Source) 的电位。由于 GaN 的实际 VGS 是驱动器输出电压 VOUT 相对于其源极电位的差值 (即 $VGS = VOUT - VCS$),因此随着负载电流 IL 增大、VCS 随之升高,将导致实际 VGS 下降。若 VGS 低于要求值,会使 GaN 的导通电阻 ($R_{DS(on)}$) 剧增,如图 6 所示,当 VGS 电压差异 0.4V, $R_{DS(on)}$ 的变化最大差异 1.5 倍,这个将造成导通损耗过大进而影响效率,更有可能导致组件过热甚至损毁。为解决此问题,LD5766E1 内建了 VGS 驱动补偿功能。IC 会持续侦测 VCS 电压,并依此动态调整其驱动输出接脚 (OUT) 的电压 VOUT', 补偿公式如下:

- if $V_{CS} \leq 0.4V$, 则 $V_{OUT}' = V_{OUT} + V_{CS}$
- if $V_{CS} > 0.4V$, 则 $V_{OUT}' = V_{OUT} + 0.4V$

透过此补偿机制，即使在高负载电流下，也能有效抵销 VCS 对 VGS 的影响 (或将影响控制在一定范围内)，确保 GaN 的 VGS 维持在安全且高效的工作区间内 (例如，始终接近目标 VGS 值)，从而维持低导通电阻，降低损耗，提升系统整体效率与可靠性。

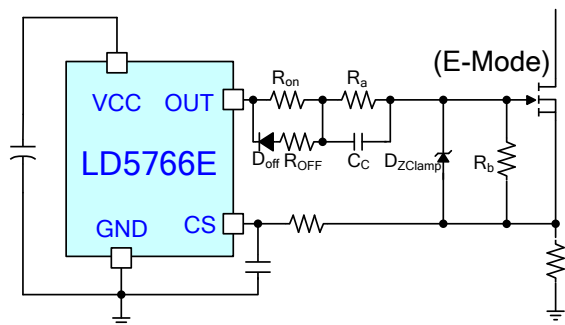


图 4 LD5766E 驱动电路示意图

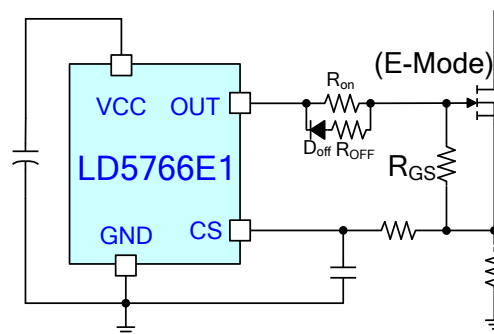


图 5 LD5766E1 驱动电路示意图

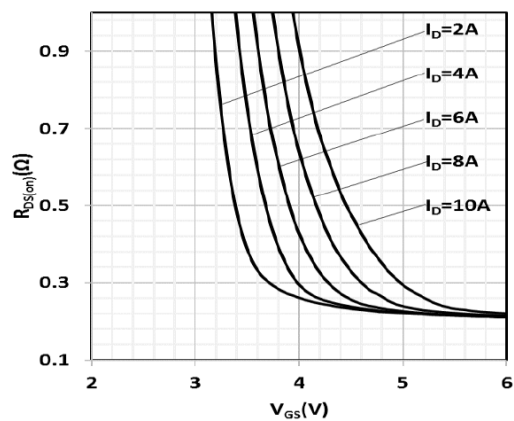


图 6 Typ. Drain-source on-state resistance

	LD5766E1	LD5766E
OUT clamp	6.1V	11.0V
GS Resistor	50kΩ – 100kΩ(R _{GS})	50kΩ – 100kΩ(R _b)
R _{ON}	调整 GaN turn on 速度	
R _{OFF}	调整 GaN turn off 速度	
务必确认 VGS 电压波形		
驱动电路相关参数需依实际设计进行调整 (参考 GaN FET 厂商建议线路)		
表 4 LD5766E/E1 建议之驱动参数		

3.3 LD5766E/E1 Layout Suggestion

GaN 组件栅极驱动的关键考虑：寄生电感的影响与对策由于氮化镓(GaN)组件本身具有极快的开关速度(其输入电容 C_{iss} 远低于传统 MOSFET)，这使其在栅极驱动 (Gate Drive) 设计上对回路路径中的寄生电感 (Parasitic Inductance) 极为敏感。快速的 dV/dt 和 dI/dt 容易在栅极驱动回路中引发电压振荡 (Ringing) 和过冲/下冲 (Overshoot/Undershoot)，进而导致组件误触发保护逻辑、系统效能下降，甚至系统组件损坏。

图 7 更深入地展示了 GaN 组件封装和 PCB 布局中的各种寄生电感如何影响栅极驱动性能，特别是引发栅极振荡和电源信号弹跳。图 7 中标示了多处寄生电感，包括：

- L_D (漏极寄生电感)： 主要来自于芯片到封装引脚的打线以及 PCB 上的漏极走线。
- L_{CS} (共源极电感)： 源极引脚在封装内部和到 PCB 走线的共享电感。
- L_S (源极寄生电感)： 源极到地的寄生电感，包括封装内部和外部的寄生电感。
- L_G (栅极寄生电感)： 来自于栅极驱动器到 GaN 栅极之间的走线之寄生电感。

一般而言，栅极振荡 (Gate Ringing) 的主要原因包括：

- 栅极驱动回路中的寄生电感（如驱动器到 GaN 组件栅极的走线电感 L_G 以及 PCB 走线本身的寄生电感）与 GaN 组件的输入电容形成谐振电路。当驱动信号快速变化时，这些电感会导致栅极电压产生过大的尖峰（过冲）和持续的振荡。
- 在功率回路中，当电流快速变化（高 dI/dt ）时，源极引脚或共源极路径上的寄生电感 L_{CS} 和 L_S 会产生一个感应电压。该感应电压直接加在栅极驱动回路的源极端，造成栅极-源极电压 (V_{GS}) 产生额外的振荡，进而影响栅极驱动的稳定性和性能。
- 当漏极电压快速变化（高 dV/dt ）时，GaN 组件的栅极-漏极电容 C_{GD} （即米勒电容）会将这个电压变化耦合到栅极驱动回路。这种耦合作用会产生一个米勒电流，流经栅极驱动回路，导致栅极电压产生额外的尖峰或振荡，尤其容易在关断时引发假性误导通。
- 电源 VCC 到 IC_GND 之间也存在寄生电感，快速的电流变化（如图 7 中星号所示的电流路径）会在这个电感上产生电压降，导致电源线和地线之间出现电压跳动，这会进一步恶化栅极驱动信号的质量。

务必精心规划 PCB 走线，尽可能缩短栅极驱动回路、功率回路和源极回路的长度，以有效降低所有相关的寄生电感。最小化回路面积是降低寄生电感的关键。

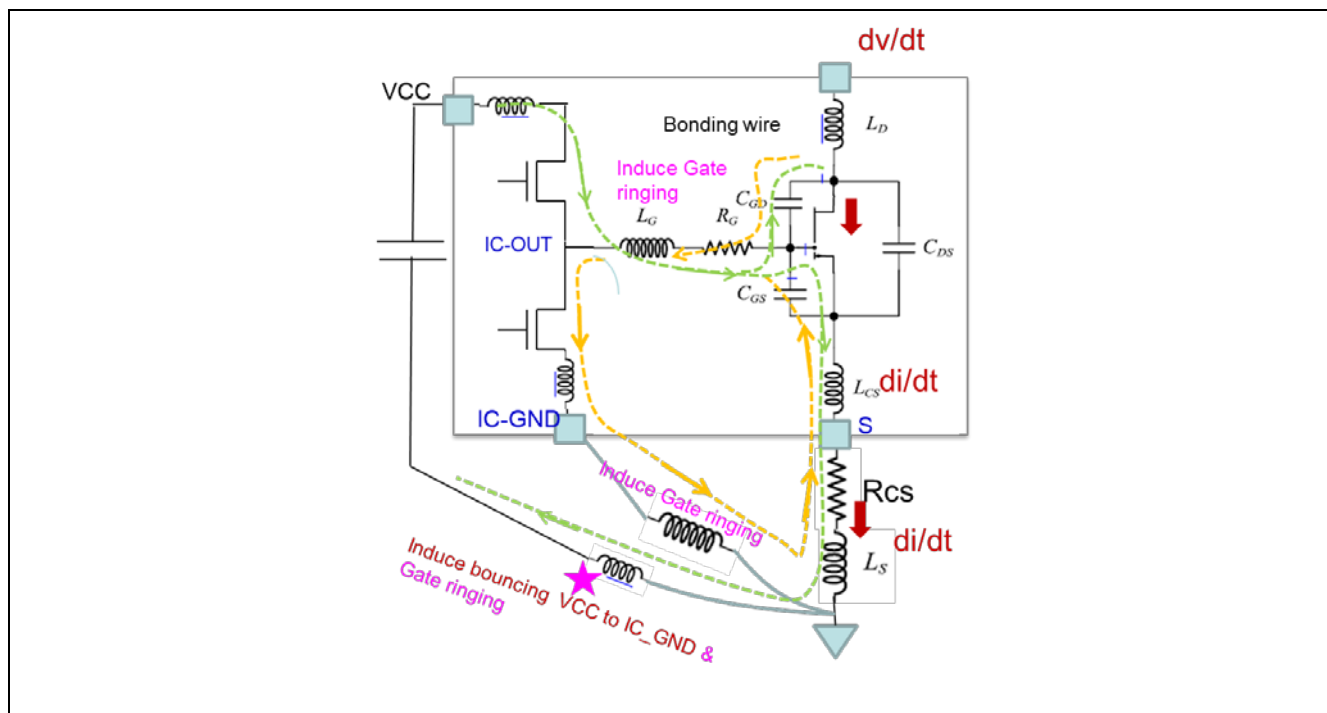


图 7 寄生电感对栅极驱动回路的影响
(Impact of Parasitic Inductances on Gate Drive Loop)

图 8 主要阐述了 GaN 组件在关断 (Turn-off) 过程中, 由于内部寄生电容和快速电压、电流变化所引发的「假性导通 (False turn-on)」问题。在关断期间, 漏极电压 (Drain Voltage) 会迅速上升 (High dv/dt), 同时漏极电流 (Drain Current) 快速下降 (High di/dt)。此时, 当漏极电压快速上升时, 米勒电流 (Miller current) 会经由米勒电容 C_{GD} 产生充电电流, 该个电流被称为「米勒电流」。这个米勒电流会流经栅极驱动回路中的寄生电感 L_G 和栅极电阻 R_G , 在这些组件上产生一个电压降。如果这个由米勒电流引起的电压尖峰足以使栅极-源极电压 (V_{GS}) 短暂地超过栅极阈值电压 (V_{th}), 即使栅极驱动器输出为低电平, 也可能导致组件意外地再次导通 (False turn-on)。图 8 右侧的 V_{GS} 波形显示, 在关断后出现了一个振荡波形, 其峰值超过了 (V_{th}), 这就表示发生了假性导通的现象。此外, 如果这个 V_{GS} 电压尖峰过高, 甚至可能超过 GaN 组件的栅极最大允许电压 ($V_{GS,max}$), 这将对组件造成永久性损坏。因此, 在 GaN 组件的关断设计中, 必须谨慎处理米勒效应, 以避免假性导通的发生。

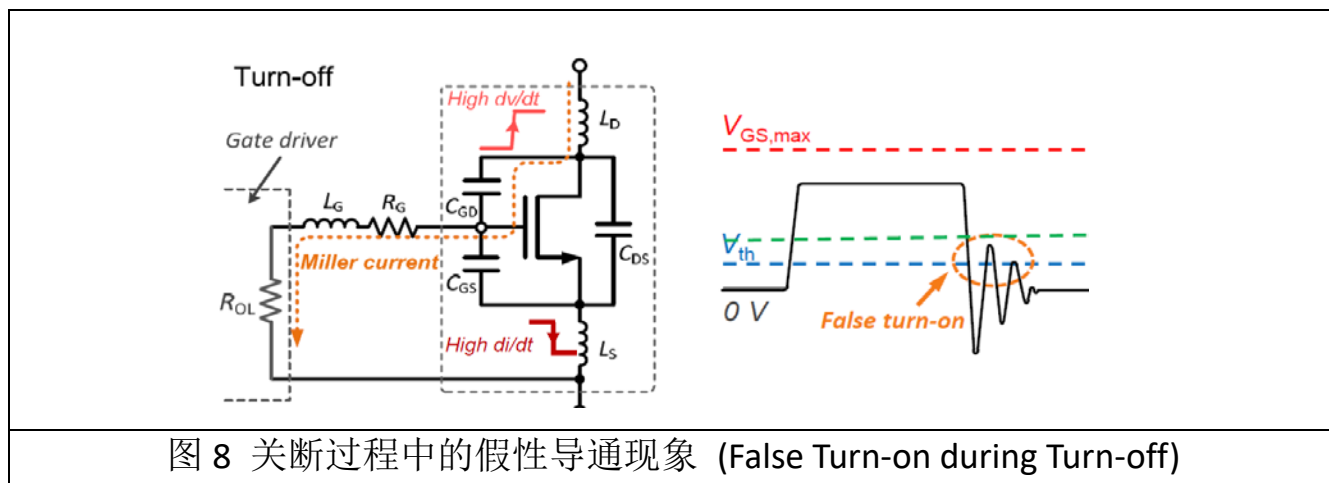


图 8 关断过程中的假性导通现象 (False Turn-on during Turn-off)

综合上述，GaN 组件由于其先天特性，开通 Turn on 速度极快，因此极易受到栅极驱动回路路径上寄生电感的干扰，进而导致 GaN Device 操作异常。当栅极驱动回路中的寄生电感增加或输入电容 C 变小时，正/负方向的电压峰值 (Peaking Voltage) 也随之增大。

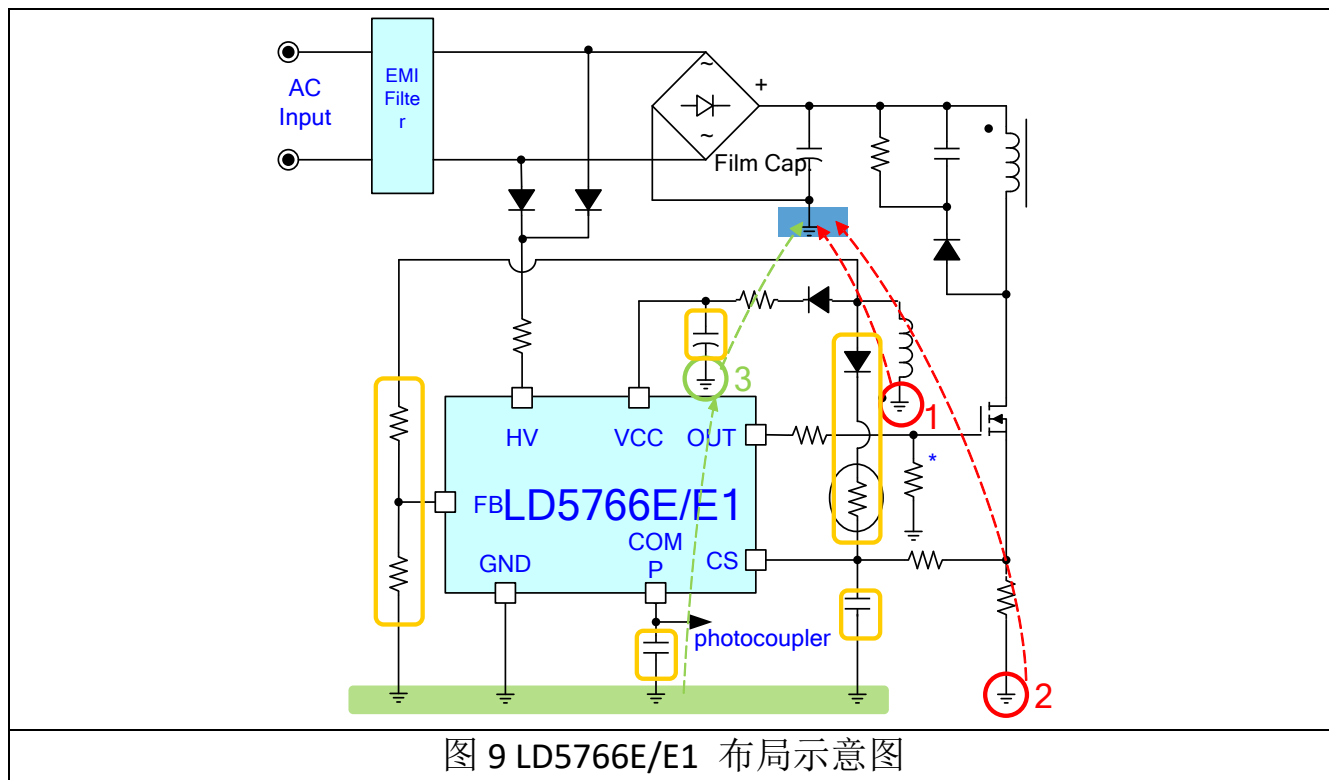


图 9 LD5766E/E1 布局示意图

在 GaN 应用中，PCB 布局不再仅是连通的基础，更是决定系统效能、稳定性、可靠性及 EMI 特性的关键因素。以下将从接地规划、组件布局与布线考虑这三个面向，深入介绍 LD5766E/E1 for GaN 电源转换器 PCB 布局的关键建议。(如图 9 说明)

一、接地规划

在接地设计方面，变压器辅助绕组接地与 GaN FET 电流感测接地均应直接连接至薄膜电容的接地端。IC 的讯号接地(如图 9 绿色标示区域)则建议先连接至 VCC 电容的接地端，然后再与前述接地点共同汇流至薄膜电容的接地端，以此建立一个稳定且集中的接地参考点。

二、组件布局

在组件布局时，诸如 VCC 电容、COMP 电容、CS 电容、RFB（回授电阻）以及 CS OTP（过电流保护）电路等小讯号组件（如图 9 黄色标记指示），应尽可能紧邻 IC 相对应的接脚放置，以缩短路径并减少噪声拾取。同时，IC 芯片本身不宜放置得离功率变压器过近，目的是为了避开变压器运作时可能产生的电磁噪声干扰 IC 正常工作，并防止热量过度累积影响 IC 效能与寿命。

三、布线考虑

针对布线策略，主要的功率回路路径应力求最短且最宽，并且避免直接穿过或过于贴近 IC 芯片下方或周围敏感区域，以降低寄生电感与电阻。驱动讯号的回路面积也必须最小化，以增强驱动能力并减少潜在的振荡。特别需要注意的是，高压 (HV) 接脚的走线路径，必须与功率 MOSFET 的汲极 (Drain) 接脚及其相关的高频开关路径保持足够的安全距离，藉此防止开关噪声透过耦合途径干扰 HV 线路，进而导致整体系统的传导性电磁干扰 (EMI) 表现恶化。

3.4 随输出电压变化之降频曲线机制

LD5766E/E1 系列 IC 设计用于支持多电压输出的电源适配器应用。为使 IC 能精确掌握当前的输出电压准位，其输出电压状态是透过变压器的辅助绕组电压(Va)来间接感测。此 Va 电压与主输出电压成正比关系，再经过外部电阻分压后送至 IC 的回授(FB)接脚，如图 10 所示的典型配置。因此，FB 接脚的电压(VFB)能够线性地反映实际输出电压的变化。例如，当输出电压为 5V 时，对应的 VFB 可能设计为 1V；而当输出电压升至 20V 时，VFB 则相应提升至 4V。

LD5766E/E1 利用此 VFB 电压来动态调整其频率(frequency foldback)特性曲线。具体而言，当侦测到较高的 FB 电压（代表较高的输出电压）时，IC 会将默认的频率曲线进行右移。此调整机制是基于一种仿真线性转换(analog linear transformation)的方式，使得频率曲线能够随着 FB 电压的连续变化而平滑地调整。这项特性对于满足 USB-IF 协会定义之可编程电源供应器(Programmable Power Supply, PPS)应用至关重要，因为 PPS 模式下输出电压可以 20mV 的精细步阶进行调节。LD5766E/E1 能够响应这些微小的电压变化，并相应地微调其频率曲线，以在各种输出条件下优化转换效率与保护特性。频率曲线随输出电压(即 FB 电压)的具体变化情况如图 11 所示。

LD5766E/E1 FB Pin 电路如图 10 及波形如图 11, FB Pin 侦测参考线圈电压并藉由电阻 R1 及 R2 进行分压,设计准则如下

输出电压对应 VFB 电压公式

$$V_a = \frac{N_a}{N_s} \cdot (V_o + V_F), V_{FB} = V_a \times \frac{R_2}{R_1 + R_2}$$

FB 引腳考虑 FB OVP=4.2V 及 FB UVP=0.5V 设计对应各输出电压范围如下表 5

输出电压	2.5V	5V	9V	15V	20V	22V
VFB	0.5V(UVP)	0.99V	1.74V	2.87V	3.86V	4.2V(OVP)

表 5 不同 VO 对应 VFB 电压

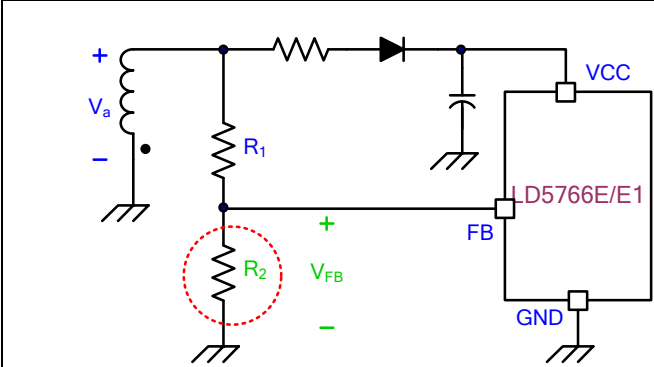


图 10 FB Pin 电路

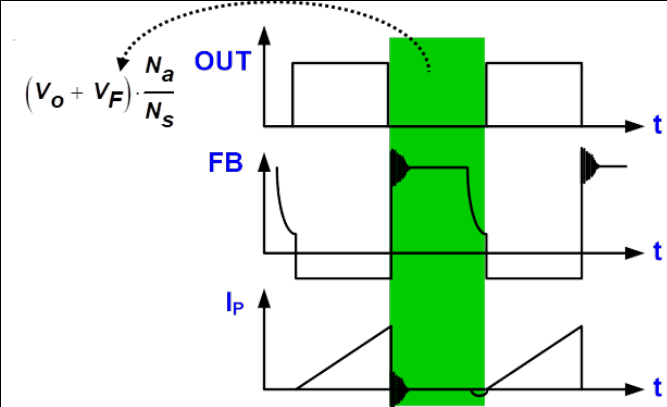


图 11 VFB Pin 波形

LD5766E/E1 依据不同输出电压对应 VFB 内部设定不同的降频曲线对应最佳频率点,降频曲线如图 12 说明如下

- 输出 5V 时 VFB=1V
输入低压时 QR 最高频率 104kHz, 输入高压时 QR 最高频率 91kHz
- 输出 20V 时 VFB=4V
输入低压时 QR 最高频率 227kHz, 输入高压时 QR 最高频率 186 kHz
- 输入高压降低 QR 最高频率并减少切换损失提升效能

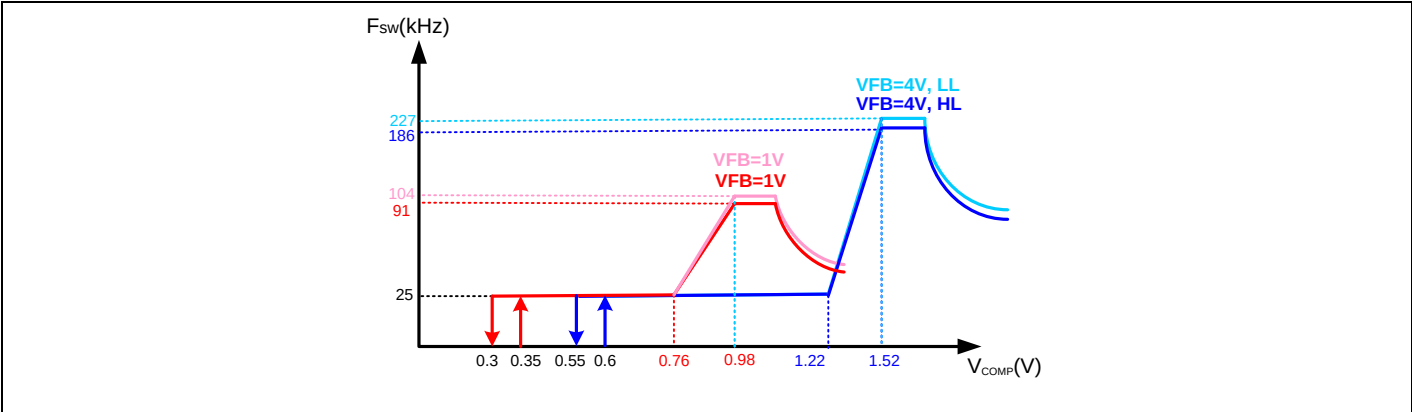


图 12 LD5766 降频曲线

OVP 动作说明: 当二次侧回授电路失效使输出电压上升造成过压时,同时辅助线圈电压上升,使 FB Pin 平台电压上升超过 4.2V 且维持 8 个周期时 IC 进入保护模式,如图 13 说明。

UVP 动作说明: 当输出短路输出电压下降,同时辅助线圈电压下降,并且 FB Pin 平台电压降低于 0.5V,且 COMP Pin 电压高于 1.65V 时,IC 进入降频机制,将频率下降到 7kHz,并减少初级 MOS Vds Spike,如图 14 说明。

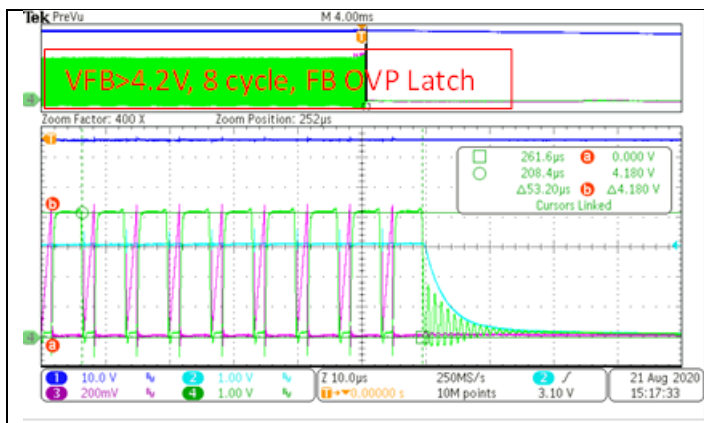


图 13 OVP 波形

CH1:Vo CH2:VCOMP

CH3:VCS CH4:VFB

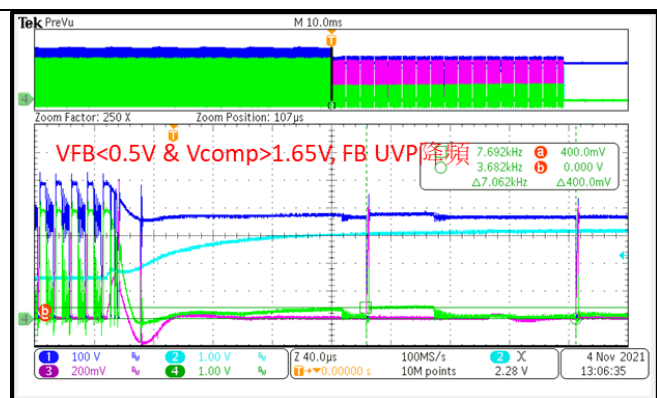


图 14 UVP 波形

Ch1:MOS Vds Ch2:VCOMP

Ch3:VCS Ch4:VFB

4. LD8528U3 for QR 操作应用设计重点说明

4.1 LD8528U3 SR IC 搭配初级测 IC 适用频率计算(For LD5766E/E1, 高频 QR):

Worst case 在 BCM 计算(for QR), 相关推倒公式如下

$$V_O + V_D = \frac{N_S}{N_P} \times \frac{D}{1-D} \rightarrow D = \frac{(V_O + V_D) \times N_P}{V_{IN} \times N_S + (V_O + V_D) \times N_P}$$

$$\rightarrow T_{DIS} = (1-D)T_{SW} = \left(1 - \frac{(V_O + V_D) \times N_P}{V_{IN} \times N_S + (V_O + V_D) \times N_P}\right) \times \frac{1}{F_{SW}}$$

$$\rightarrow F_{SW_MAX} < \left(1 - \frac{(V_O + V_D) \times N_P}{V_{IN_MIN} \times N_S + (V_O + V_D) \times N_P}\right) \times \frac{1}{T_{MIN_ON}}$$

需依照二次测同步整流 SR IC, 确认 IC 规格 Tmin_on(如表 6 说明), 并搭配上述公式所需的系统参数(V_O, V_D, N_P/N_S, V_{IN_MIN}), 即可试算出二次测同步整流 SR IC 可对应初级测最高频率操作频率, 故 LD8528U3 可对应 <250kHz 之切换频率 (LD5766E/E1:227kHz(Max,LL))。

2 nd SR	Tmin_on (typ/max)	QR only (Vin=75Vdc,Vo=20V, Np=12,Ns=2)	SR disable 机制 (typ/max)
LD8528U3	1.1us/1.4us	250kHz	1.4us/1.65us

表 6 LD8523U3 规格

4.2 LD8528U3 SR IC Turn-on/off 机制说明: (如图 15.图 16 说明)

LD8528U3 的导通 (turn-on) 需要满足两个条件:

1. VDET 电压低于 VDET_ON (-0.14V).
2. 是讯号的下降时间 ΔTfall 小于 TDET_WD (45ns)。

至于关断 (turn-off) 判断点，则可透过公式 $-RDSON * ISD + RDET * IDET_OFF = -1mV$ 来描述。其中，LD8528U3 的内部参数 $IDET_OFF$ 典型值为 20uA，外部 $RDET$ 建议放置 300 Ω 。在建议的 $RDET$ 范围内，特别是 DCM 模式下，死区时间 (dead time) 已被调整至接近零，但仍可藉由微调 $RDET$ 的数值来精确调整关断电平 (turn-off level)。

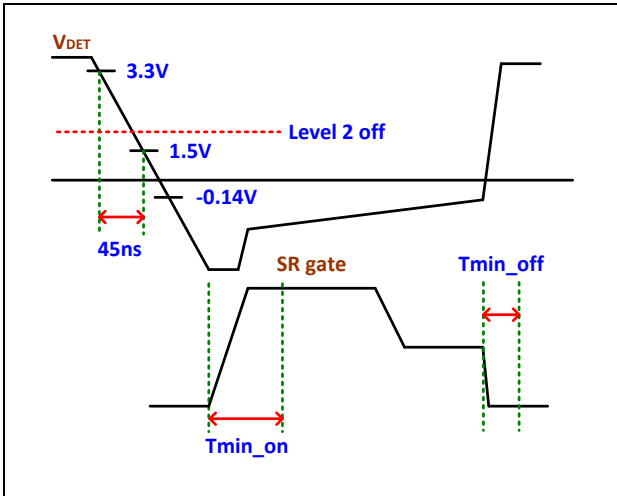


图 15 LD8528U3 Turn on 时序图

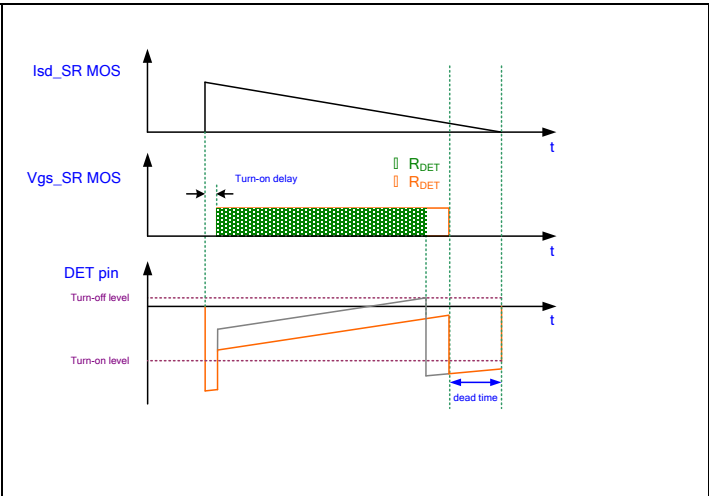


图 16 LD8528U3 Turn off logic 时序图

4.3 LD8528U3 Level 2 turn off 机制: (如图 17 说明)

为防止初级侧与次级侧同时导通导致的毁损 (shoot-through)，LD8528U3 设有 level 2 关断保护机制。此机制会持续监测 DET pin 的电压，当电压超过特定的 level 2 阈值时，即使在最小导通时间 (min on time) 内，也会立即强制关断 SR，避免产生危险的大电流造成系统损坏。

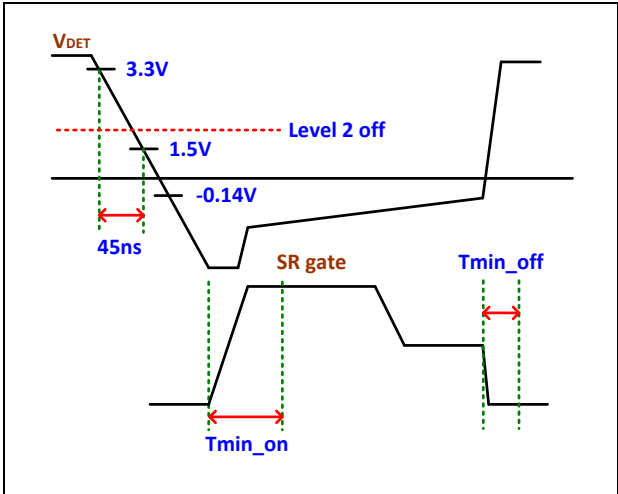


图 17 LD8528U3 Level 2 时序图

5. 通嘉 PD 65W Demo Board 设计范例

AC-DC PWM: LD5766E1+SR:LD8528U3+PD协议:LD6612QM

PCB Size: 56.5mm(L) x 31mm(W) x 26mm(H)

Power Density: 28.7 W/inch³

输出功率:5V/3A, 9/3A, 15V/3A, 20V/3.25A

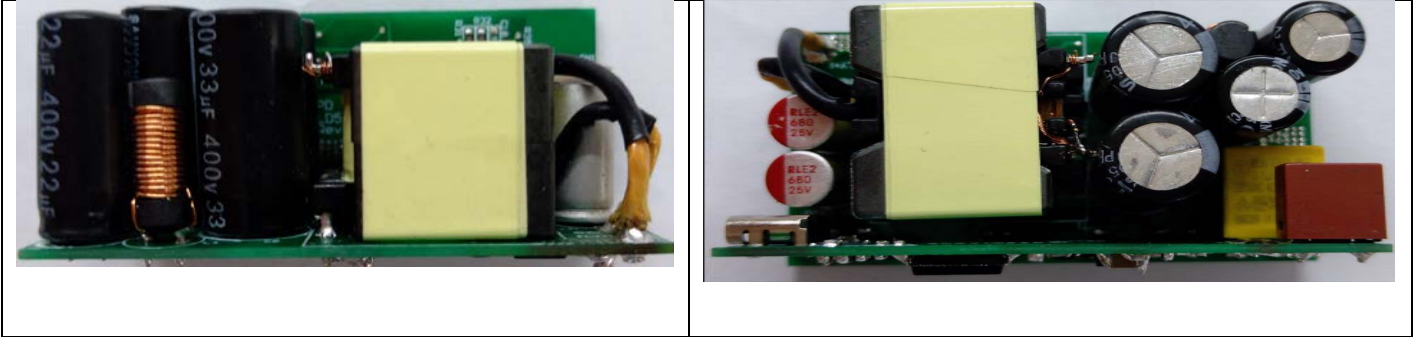


图 18 PD 65W 实体图

- 待机功耗测试: < 75mW @ 230 VAC - Pass

$V_{IN,AC}$ (V / Hz)	P_{IN} (mW)	SPEC (mW)
115 / 60	22.5	< 75 mW
230 / 50	26	

表 7 待机功耗

- 效率测试: Meet CoC Tier 2- Pass

Input Voltage	115 V _{AC} / 60 Hz	230 V _{AC} / 50 Hz
Output Current	100 %, 75 %, 50 %, 25 %, 10 % of Full Load	
Measured Point of Output Voltage	End of PCB	
Duration of Burn-in	30 Minutes	
Requirement	CoC Tier 2	

表 8 效率测试条件

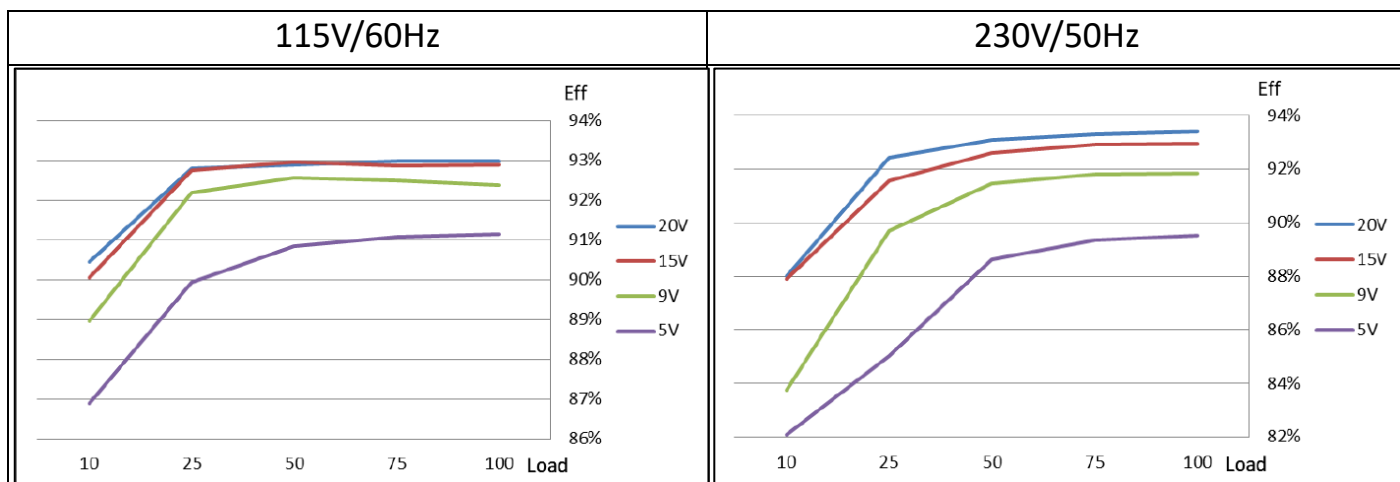


表 9 效率测试曲线 @115V/230V, 10%/ 25%/ 50%/ 75%/ 100%(板端量测)

	115 V _{AC} / 60 Hz				230 V _{AC} / 50 Hz			
V _{BUS,SET} (V)	Load	EFF (%)	AVE EFF (%)	SPEC (%)	Load	EFF (%)	AVE EFF (%)	SPEC (%)
5	100%	91.14	90.75	> 81.84	100%	89.52	88.12	> 81.84
	75%	91.08			75%	89.34		
	50%	90.83			50%	88.62		
	25%	89.93			25%	85.01		
	10%	86.89		> 72.48	10%	82.09		> 72.48
9	100%	92.36	92.40	> 87.30	100%	91.86	91.21	> 87.30
	75%	92.50			75%	91.82		
	50%	92.57			50%	91.47		
	25%	92.19			25%	89.71		
	10%	88.96		> 77.30	10%	83.74		> 77.30
15	100%	92.90	92.86	> 88.85	100%	92.95	92.51	> 88.85
	75%	92.86			75%	92.91		
	50%	92.96			50%	92.60		
	25%	92.75			25%	91.57		
	10%	90.06		> 78.85	10%	87.89		> 78.85
20	100%	92.99	92.91	> 89	100%	93.40	93.05	> 89
	75%	92.98			75%	93.28		
	50%	92.88			50%	93.10		
	25%	92.79			25%	92.43		
	10%	90.44		> 79	10%	88.01		> 79

表 10 效率测试@115V/230V, 10%/ 25%/ 50%/ 75%/ 100% (板端量测)

基于此高效设计平台，测试结果充分证明，本整合方案其各项关键性能达到设计要求及相关标准，上述测试结果具体表现如下：

- 待机功耗测试(如表 7 说明)：在待机功耗方面，方案于 230VAC 输入条件下进行严格测试，结果显示其空载功耗实测值低于 75mW。这一优异的节能表现，不仅符合并显著超越了现行主流的国际能效规范对此类功率等级产品的要求。
- 能源效率(如表 9/表 10 说明,板端量测)：在各项输出负载条件下的整体转换效率表现优异，尤其在 $V_o=20V$ 效率高达 93.05% (4point AVG)，成功符合欧盟行为准则 CoC Tier 2 所制定的严格能效标准。
- PD 协议支持： 系统完整支持 USB PD 3.0 规范，确保了与各类符合 PD 标准设备的广泛兼容性 & 快速充电功能的实现。
- 输出规格能力： 方案能够精确并稳定地提供多组输出电压及电流配置，包括 5V/3A、9V/3A、15V/3A 以及 20V/3.25A (合计 65W)，全面满足了不同功率等级装置的充电需求。

通嘉推出高效能、高精度过电流保护的 PD 快充控制器，其高效率搭配电路组件数简化,可满足产品小型化需求。通嘉始终坚持高质量、高性能的传统，并提供全面性保护机制，包含过功率保护、过电流保护、输出过/欠电压(OVP/UVLP)保护以及过温度保护(OTP) 等机制，更针对输出短路保护实施降频机制。此外，通嘉科技的各式关键技术均受自有专利屏障保护，使用通嘉 IC 的电源供应器，将更具有优势及亮点。我们将提供最详细的信息及应用说明,同时请支持 AC-DC 通嘉产品。如果您想了解通嘉更多信息，可以参考如下联系方式，期待与您的合作：

E-mail: Sales@leadtrend.com.tw

